

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-172950

(43)Date of publication of application : 20.06.2003

(51)Int.Cl.

G02F 1/1368  
 G02B 5/00  
 G02F 1/1335  
 G03B 21/00  
 G09F 9/30  
 H01L 21/8238  
 H01L 27/08  
 H01L 27/092  
 H01L 27/12  
 H01L 29/786

(21)Application number : 2002-004942

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 11.01.2002

(72)Inventor : YASUKAWA MASAHIRO

(30)Priority

Priority number : 2001190521  
 2001292645

Priority date : 22.06.2001  
 25.09.2001

Priority country : JP

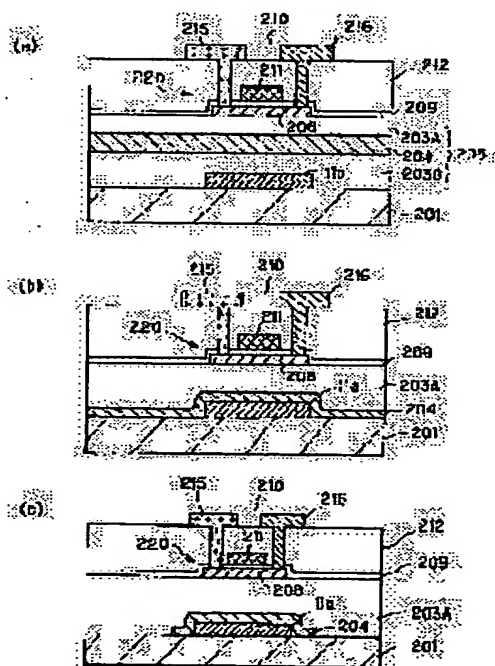
JP

## (54) ELECTROOPTICAL DEVICE, MANUFACTURING METHOD THEREFOR AND ELECTRONIC INSTRUMENT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To enhance light resistance by using a light shielding film, to reduce the reduction of light shielding performance due to oxidation of the light shielding film and to reduce contamination of a semiconductor and the like with this light shielding film, in an electrooptical device wherein a transistor element for switching pixels is formed on a substrate.

**SOLUTION:** A pixel electrode, a transistor element connected thereto and having a semiconductor layer containing a channel area, a wiring connected thereto, the light shielding film covering at least the channel area from a substrate side and an insulation part disposed in at least one gap of gaps between the light shielding film and the semiconductor layer and between the substrate and the light shielding film and containing a silicon nitride film or silicon nitride oxide film are provided on the substrate.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of

rejection]

[Kind of final disposal of application other than  
the examiner's decision of rejection or  
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision  
of rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-172950

(P2003-172950A)

(43)公開日 平成15年6月20日(2003.6.20)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
G 0 2 F 1/1368		G 0 2 F 1/1368	2 H 0 4 2
G 0 2 B 5/00		G 0 2 B 5/00	B 2 H 0 9 1
G 0 2 F 1/1335	5 0 0	G 0 2 F 1/1335	5 0 0 2 H 0 9 2
G 0 3 B 21/00		G 0 3 B 21/00	E 5 C 0 9 4
G 0 9 F 9/30	3 3 8	G 0 9 F 9/30	3 3 8 5 F 0 4 8

審査請求 未請求 請求項の数18 O L (全 34 頁) 最終頁に続く

(21)出願番号 特願2002-4942(P2002-4942)

(22)出願日 平成14年1月11日(2002.1.11)

(31)優先権主張番号 特願2001-190521(P2001-190521)

(32)優先日 平成13年6月22日(2001.6.22)

(33)優先権主張国 日本(J P)

(31)優先権主張番号 特願2001-292645(P2001-292645)

(32)優先日 平成13年9月25日(2001.9.25)

(33)優先権主張国 日本(J P)

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 安川 昌宏

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74)代理人 100095728

弁理士 上柳 雅彦 (外2名)

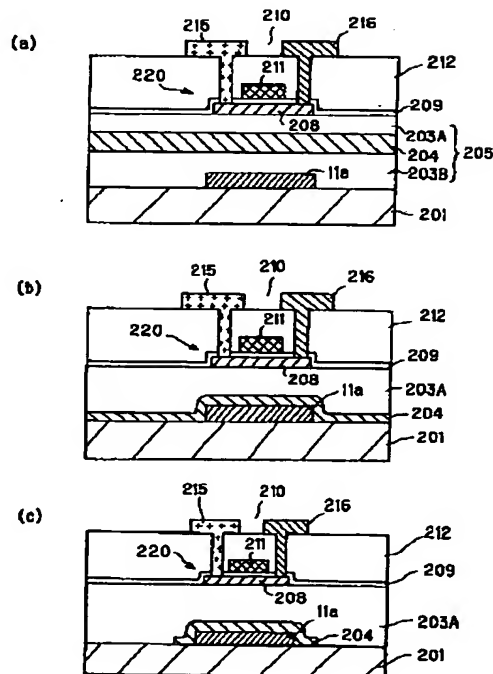
最終頁に続く

(54)【発明の名称】 電気光学装置及びその製造方法並びに電子機器

## (57)【要約】

【課題】 基板上に画素スイッチング用のトランジスタ素子が形成されてなる電気光学装置において、遮光膜を用いることで耐光性を高めると共に、この遮光膜の酸化による遮光性能低下を低減し、更に、この遮光膜による半導体層等へのコンタミネーションを低減する。

【解決手段】 支持基板上に、画素電極と、これに接続されておりチャネル領域を含む半導体層を有するトランジスタ素子と、これに接続された配線と、少なくともチャネル領域を支持基板側から覆う遮光膜と、この遮光膜と半導体層との間及び支持基板と遮光膜との間のうち少なくとも一方の間に配置されると共に窒化シリコン膜又は窒化酸化シリコン膜を含む絶縁部とを備える。



## 【特許請求の範囲】

【請求項 1】 支持基板上に、画素電極と、該画素電極に接続されておりチャネル領域を含む半導体層を有するトランジスタ素子と、該トランジスタ素子に接続された配線と、少なくとも前記チャネル領域を前記支持基板側から覆う遮光膜と、該遮光膜と前記半導体層との間及び前記支持基板と前記遮光膜との間のうち少なくとも一方の間に配置されると共に窒化シリコン膜又は窒化酸化シリコン膜を含む絶縁部とを備えたことを特徴とする電気光学装置。

【請求項 2】 前記絶縁部は、多層構造を有することを特徴とする請求項 1 に記載の電気光学装置。

【請求項 3】 前記積層構造は、前記窒化シリコン膜又は窒化酸化シリコン膜と、前記窒化シリコン膜又は窒化酸化シリコン膜の上面若しくは下面に形成された酸化シリコン膜とを含んでなることを特徴とする請求項 2 に記載の電気光学装置。

【請求項 4】 前記絶縁部は、前記遮光膜に密着していることを特徴とする請求項 1 から 3 のいずれか一項に記載の電気光学装置。

【請求項 5】 前記絶縁部は、層間絶縁膜を介して前記遮光膜に対向していることを特徴とする請求項 1 から 3 のいずれか一項に記載の電気光学装置。

【請求項 6】 前記遮光膜は、所定形状の平面パターンを有しており、前記絶縁部は、前記遮光膜を完全に覆う形状の平面パターンを有すると共に前記絶縁部の縁は平面的に見て前記遮光膜の縁から離れていることを特徴とする請求項 1 から 5 のいずれか一項に記載の電気光学装置。

【請求項 7】 前記絶縁部の縁が前記遮光膜の縁から 2  $\mu$ m 以内である領域を含むことを特徴とする請求項 1 から 6 のいずれか一項に記載の電気光学装置。

【請求項 8】 前記絶縁部の縁が前記遮光膜の縁と自己整合的に形成されていることを特徴とする請求項 1 から 7 のいずれか一項に記載の電気光学装置。

【請求項 9】 前記半導体層は、単結晶シリコン膜からなる SOI (Silicon On Insulator) 構造を有することを特徴とする請求項 1 から 8 のいずれか一項に記載の電気光学装置。

【請求項 10】 前記半導体層は、ポリシリコン膜又はアモルファスシリコン膜からなることを特徴とする請求項 1 から 8 のいずれか一項に記載の電気光学装置。

【請求項 11】 前記遮光膜は、高融点金属を含んでなることを特徴とする請求項 1 から 10 のいずれか一項に記載の電気光学装置。

【請求項 12】 前記絶縁部の前記窒化シリコンまたは窒化酸化シリコン膜の合計層厚は、100nm 以下であることを特徴とする請求項 1 から 11 のいずれか一項に記載の電気光学装置。

【請求項 13】 前記支持基板に対し対向配置された対

向基板と、前記支持基板と前記対向基板との間に挟持された電気光学材料層とを更に備えたことを特徴とする請求項 1 から 12 のいずれか一項に記載の電気光学装置。

【請求項 14】 請求項 1 から 13 のいずれか一項に記載の電気光学装置を備えたことを特徴とする電子機器。

【請求項 15】 支持基板上の所定領域に遮光膜を形成する工程と、該遮光膜上に、直接又は層間絶縁膜を介して窒化シリコン膜又は窒化酸化シリコン膜を含む絶縁部を形成する工程と、該絶縁部上に、直接又は層間絶縁膜を介して半導体層を形成する工程と、該半導体層を構成要素として前記遮光膜に下側から覆われる位置にチャネル領域が配置されてなるトランジスタ素子を形成する工程と、該トランジスタ素子に接続された配線及び画素電極を形成する工程とを含むことを特徴とする電気光学装置の製造方法。

【請求項 16】 前記遮光膜を形成する工程の前に、前記支持基板上に、窒化シリコン膜又は窒化酸化シリコン膜を含む他の絶縁部を形成する工程を更に含むことを特徴とする請求項 15 に記載の電気光学装置の製造方法。

【請求項 17】 支持基板上に窒化シリコン膜又は窒化酸化シリコン膜を含む絶縁部を形成する工程と、該絶縁部上の所定領域に直接又は層間絶縁膜を介して遮光膜を形成する工程と、該遮光膜上に、直接又は層間絶縁膜を介して半導体層を形成する工程と、該半導体層を構成要素として前記遮光膜に下側から覆われる位置にチャネル領域が配置されてなるトランジスタ素子を形成する工程と、該トランジスタ素子に接続された配線及び画素電極を形成する工程とを含むことを特徴とする電気光学装置の製造方法。

【請求項 18】 前記半導体層を形成する工程は、前記半導体層が形成された単結晶シリコン基板と前記遮光膜及び前記絶縁部が形成された支持基板とを貼り合わせる工程と、貼り合わせ後に前記単結晶シリコン基板を薄膜化する工程とを含むことを特徴とする請求項 15 から 17 のいずれか一項に記載の電気光学装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス駆動方式の液晶装置等の、支持基板上に画素スイッチング用のトランジスタ素子が形成されてなる電気光学装置及びその製造方法、並びにこのような電気光学装置を備えてなる電子機器の技術分野に属する。

## 【0002】

【背景技術】例えば、TFT アクティブマトリクス駆動方式の電気光学装置では、各画素に設けられた画素スイッチング用の薄膜トランジスタ（以下適宜、TFT (Thin Film Transistor) と称す）のチャネル領域に入射光が照射されると、光による励起で光リーク電流が発生して TFT の特性が変化してしまう。特に、プロジェクタにおけるライトバルブ用の電気光学装置の場合には、入



射光の強度が高いため、TFTのチャネル領域やその周辺領域に対する入射光の遮光を行うことは重要となる。そこで従来は、対向基板に設けられた各画素の開孔領域を規定する遮光膜により、或いはTFTアレイ基板上においてTFTの上を通過すると共にAl（アルミニウム）等の金属膜からなるデータ線により、係るチャネル領域やその周辺領域を遮光するように構成されている。

【0003】そして特に、TFTアレイ基板上におけるTFTの下側にも、例えば高融点金属からなる遮光膜を設けることがある。このようにTFTの下側にも遮光膜を設ければ、TFTアレイ基板側からの裏面反射光や、複数の電気光学装置をプリズム等を介して組み合わせて一つの光学系を構成する場合に他の電気光学装置からプリズム等を突き抜けてくる投射光などの戻り光が、当該電気光学装置のTFTに入射するのを未然に防ぐことができる。

#### 【0004】

【発明が解決しようとする課題】しかしながら、本願発明者の研究によれば、TFTの下側に形成される、高融点金属等からなる遮光膜は、製造中及び製品完成後の使用中に、経時的に酸化が進行する傾向がある。そして、係る遮光膜において、このような酸化が進行すると、酸化の度合いに応じて、光透過率が上昇することが判明しており、酸化が進むと遮光膜本来の機能を十分に発揮し得ないという問題点がある。例えば、このような高融点金属からなる遮光膜をTFTの下側に備えた形式のTFTアレイ基板に対して、酸素15%且つ水分85%の常圧酸化を行なうと、膜厚800nm程度の酸化シリコン膜からなる保護絶縁膜で覆っても膜厚200nm程度の遮光膜が完全に酸化されてしまう事例も確認されている。

【0005】更に、本願発明者の研究によれば、このようにTFTを構成する半導体層のチャネル領域の下側に高融点金属等からなる遮光膜を配置すると、この半導体層における遮光膜によるコンタミネーション（不純物の拡散による汚染等）も問題となる。即ち、このような遮光膜を設けない場合と比べて、半導体層に浸入する不純物が増加する事例も確認されており、これによりTFTのトランジスタ特性が劣化するという問題点もある。

【0006】本発明は上述の問題点に鑑みなされたものであり、遮光膜を用いることで耐光性に優れると共にこの遮光膜の酸化による遮光性能低下を低減可能であり、更に、この遮光膜による半導体層等へのコンタミネーションによる悪影響を低減可能であり、明るく高品位の画像表示が可能な電気光学装置及びその製造方法、並びにそのような電気光学装置を備えてなる電子機器を提供することを課題とする。

#### 【0007】

【課題を解決するための手段】本発明の電気光学装置は上記課題を解決するために、支持基板上に、画素電極と、該画素電極に接続されておりチャネル領域を含む半導体

層を有するトランジスタ素子と、該トランジスタ素子に接続された配線と、少なくとも前記チャネル領域を前記支持基板側から覆う遮光膜と、該遮光膜と前記半導体層との間及び前記支持基板と前記遮光膜との間のうち少なくとも一方の間に配置されると共に窒化シリコン膜又は窒化酸化シリコン膜を含む絶縁部とを備える。

【0008】本発明の電気光学装置によれば、配線に走査信号、画像信号等を供給することで、トランジスタ素子により画素電極をスイッチング制御可能となり、アクティブマトリクス駆動が可能となる。このような動作中に、仮にトランジスタ素子を構成する半導体層のチャネル領域に前述の戻り光が入射すると光リーク電流の発生でトランジスタ特性が変化してしまうが、本発明では、半導体層のうち少なくとも光入射領域或いは画像表示領域（即ち支持基板上における、周辺領域等を除く、画像表示に關与する入射光が反射或いは透過する領域）におけるチャネル領域の下側には、遮光膜が設けられているので、このような戻り光に起因する光リーク電流の発生を効果的に防止できる。

【0009】そして本発明では、遮光膜と半導体層との間及び支持基板と遮光膜との間のうち少なくとも一方の間に、窒化シリコン膜又は窒化酸化シリコン膜を含む絶縁部が配置されている。係る窒化シリコン膜又は窒化酸化シリコン膜は、支持基板上の積層構造内に作り込まれる層間絶縁膜の典型例である酸化シリコン膜や、支持基板上の積層構造を構成する他の各種絶縁膜、各種導電膜、各種半導体膜等と比べて、緻密に形成可能であり、酸素や水分などの酸化種の透過率を顕著に低くできる。即ち、酸素や水分などの酸化種は、絶縁部をなす緻密な窒化シリコン膜又は窒化酸化シリコン膜を透過し難いので、遮光膜に殆ど到達できなくなる。従って、支持基板におけるトランジスタ素子等が形成された表面側や支持基板上に構築された積層構造中の界面から当該電気光学装置の動作中や製造中に酸素や水分などの酸化種が浸入しても、或いは、その製造中に支持基板上に成膜される各種導電膜、各種絶縁膜、各種半導体膜等の中に酸素や水分などの酸化種が取り込まれても、当該電気光学装置の製造中や動作中に、このような酸素や水分などの酸化種の全量うち遮光膜に至る量を、係る緻密な窒化シリコン膜又は窒化酸化シリコン膜を含む絶縁部により低減できる。よって、当該電気光学装置の動作中や製造中に、遮光膜が酸化するのを効果的に阻止できる。従って、遮光膜における酸化による光透過率の上昇、即ち遮光性能の低下を回避でき、トランジスタ素子における高性能を維持可能となる。

【0010】特に遮光膜と半導体層との間に、緻密な窒化シリコン膜又は窒化酸化シリコン膜を含む絶縁部を配置する構成とすれば、例えば高融点金属膜等からなる遮光膜から不純物が半導体層に拡散するコンタミネーションを効果的に阻止することも可能となる。即ち、遮光膜

からの不純物は、絶縁部をなす緻密な窒化シリコン膜又は窒化酸化シリコン膜を透過し難いので、半導体層に殆ど到達できなくなる。従って、半導体層における遮光膜からのコンタミネーションによるトランジスタ素子の特性劣化を防止することも可能となる。

【0011】以上の結果、本発明の電気光学装置によれば最終的には、高品位の画像表示を長期に亘って行なうことが可能となる。

【0012】加えて、酸化による遮光膜の遮光性能の低下を見込んで遮光膜の膜厚を必要以上に厚く形成する必要がなくなる。

【0013】尚、当該電気光学装置を透過型とする場合には、支持基板として光透過性のものを用いればよい。

【0014】本発明の電気光学装置の一態様では、前記絶縁部は、多層構造を有する。

【0015】この態様によれば、窒化シリコン膜又は窒化酸化シリコン膜を含む絶縁部を多層構造にすることで、絶縁部における酸素や水分などの酸化種を遮断する能力を、より高めることも可能となる。従って、遮光膜の酸化や遮光膜によるコンタミネーションを、より効果的に防止することも可能となる。

【0016】この態様では、前記積層構造は、前記窒化シリコン膜又は窒化酸化シリコン膜と、前記窒化シリコン膜又は窒化酸化シリコン膜の上面若しくは下面に形成された酸化シリコン膜とを含んでなるように構成してもよい。

【0017】このように構成すれば、窒化シリコン膜又は窒化酸化シリコン膜と、これに重ねて成膜された酸化シリコン膜との積層体により、絶縁部における酸素や水分などの酸化種を遮断する能力を、より一層高めることも可能となる。更に例えば、二つの窒化シリコン膜又は窒化酸化シリコン膜により酸化シリコン膜を挟持する積層構造や、二つの酸化シリコン膜により、窒化シリコン膜又は窒化酸化シリコン膜を挟持する積層構造など、三つ以上の膜を用いて積層構造を構築することも可能である。

【0018】尚、絶縁部は、窒化シリコン膜のみ或いは窒化酸化シリコン膜のみというように、単一層構造を有してもよい。

【0019】本発明の電気光学装置の一態様では、前記絶縁部は、前記遮光膜に密着している。

【0020】この態様によれば、緻密な窒化シリコン膜又は窒化酸化シリコン膜を含む絶縁部は、遮光膜の上面、下面又は両面、或いは端や縁に密着しているため、他の層間絶縁膜等に含まれる酸素や水分などの酸化種が遮光膜に至る可能性を低減できる。

【0021】或いは本発明の電気光学装置の他の態様では、前記絶縁部は、層間絶縁膜を介して前記遮光膜に対向している。

【0022】この態様によれば、緻密な窒化シリコン膜

又は窒化酸化シリコン膜を含む絶縁部は、例えば酸化シリコン膜等の層間絶縁膜を介して遮光膜に対向しているため、酸素や水分などの酸化種を、遮光膜から離間した位置において、ある程度遮断できる。

【0023】本発明の電気光学装置の他の態様では、前記遮光膜は、所定形状の平面パターンを有しており、前記絶縁部は、前記遮光膜を完全に覆う形状の平面パターンを有すると共に前記絶縁部の縁は平面的に見て前記遮光膜の縁から離れている。

【0024】この態様によれば、例えば、格子状、ストライプ状、島状などの所定形状の平面パターンを有する遮光膜により、半導体層の少なくともチャネル領域を下側から遮光することができる。そして、絶縁部は、係る遮光膜を完全に覆う、例えば遮光膜よりも一回り大きい格子状、ストライプ状、島状などの形状の平面パターンを有しており、絶縁部の縁は平面的に見て遮光膜の縁から離れている。従って、絶縁部は、支持基板上において上側又は下側から若しくは両側から立体的に遮光膜を覆うことが可能となり、遮光膜に酸素や水分など酸化種が至る可能性を更に低減できる。

【0025】尚、絶縁部は、遮光膜の平面パターンとは無関係に、支持基板のほぼ一面に形成されていてもよい。また、遮光膜を完全に覆わなくても、ある程度の効果は得られる。またこの態様では、前記絶縁部の縁と前記遮光膜の縁の距離は平面的に  $2\mu\text{m}$  以内であることが望ましい。これにより絶縁部の縁から遮光膜に酸素や水分など酸化種が至る可能性を低減すると同時に絶縁部における光の低下割合を大幅に減少することが可能になる。またこの態様では、前記絶縁部の縁は平面的に見て前記遮光膜の縁と自己整合的に形成されていることが望ましい。これによって絶縁部における光の低下割合を極限まで減少することが可能になる。

【0026】本発明の電気光学装置の他の態様では、前記半導体層は、単結晶シリコン膜からなる SOI 構造を有する。

【0027】この態様によれば、SOI 技術により、結晶性に優れた単結晶シリコン薄膜を用いて、高性能な駆動用の MOSFET、画素スイッチング用の TFT など、高速化や低消費電力化、高集積化等のトランジスタ特性に優れたトランジスタ素子を支持基板上に構築できる。

【0028】本発明の電気光学装置の他の態様では、前記半導体層は、ポリシリコン膜又はアモルファスシリコン膜からなる。

【0029】この態様によれば、例えばガラス基板、石英基板等の支持基板上に、ポリシリコン膜又はアモルファスシリコン膜からなる半導体層により、比較的低コストでトランジスタ素子を構築できる。

【0030】本発明の電気光学装置の他の態様では、前記遮光膜は、高融点金属を含んでなる。

【0031】この態様によれば、遮光膜は、例えば、T

i (チタン)、Cr (クロム)、W (タングステン)、Ta (タンタル)、Mo (モリブデン)、Pb (鉛) 等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等の高融点金属を含む膜からなる。従って、遮光膜により高い遮光性能が得られる。

【0032】尚、遮光膜は、光を部分的に吸収することにより遮光を行なう、シリコン膜からなってもよい。

【0033】本発明の電気光学装置の他の態様では、前記絶縁部の窒化シリコン膜または窒化酸化シリコン膜の合計膜厚は、100nm以下である。

【0034】この態様によれば、周波数依存性のある光吸収特性を有する窒化シリコン膜又は窒化酸化シリコン膜の合計膜厚は、100nm以下であるので、仮に絶縁部を、表示用の光が透過する構造を採用した場合にも、当該絶縁部における光吸収による表示光の着色を低減できる。例えば、表示用の光を100nm以上の膜厚の窒化シリコン膜又は窒化酸化シリコン膜を透過させると、黄色味がかかることが判明しているが、このように窒化シリコン膜又は窒化酸化シリコン膜の合計膜厚を100nm以下にすることで、係る黄色味がかかる現象を低減できる。特にこの態様によれば、更にこの窒化シリコン膜又は窒化酸化シリコン膜の合計膜厚を減少させることによって係る黄色味がかかる現象を低減できる。

【0035】本発明の電気光学装置の他の態様では、前記支持基板に対し対向配置された対向基板と、前記支持基板と前記対向基板との間に挟持された電気光学材料層とを更に備える。

【0036】この態様によれば、一对の支持基板及び対向基板間に、例えば液晶等の電気光学材料層が挟持されてなる、例えば液晶装置等の電気光学装置が構築される。特に、上述の如き遮光膜及び絶縁部を備えるので、優れた遮光性能を保持し得、長期に亘って高品位の画像表示を行なえる。

【0037】本発明の電子機器は上記課題を解決するために、上述した本発明の電気光学装置（但し、その各種態様を含む）を備える。

【0038】本発明の電子機器によれば、上述した本発明の電気光学装置を備えるので、明るく高品位の画像表示が長期に亘って可能な、投射型表示装置、液晶テレビ、携帯電話、電子手帳、ワードプロセッサ、ビューファインダ型又はモニタ直視型のビデオテーブルコーダ、ワークステーション、テレビ電話、POS端末、タッチパネルなどの各種電子機器を実現できる。

【0039】本発明の一の電気光学装置の製造方法は上記課題を解決するために、支持基板上の所定領域に遮光膜を形成する工程と、該遮光膜上に、直接又は層間絶縁膜を介して窒化シリコン膜又は窒化酸化シリコン膜を含む絶縁部を形成する工程と、該絶縁部上に、直接又は層間絶縁膜を介して半導体層を形成する工程と、該半導体層

を構成要素として前記遮光膜に下側から覆われる位置にチャンネル領域が配置されてなるトランジスタ素子を形成する工程と、該トランジスタ素子に接続された配線及び画素電極を形成する工程とを含む。

【0040】この製造方法によれば、先ず、例えばガラス基板、シリコン基板、石英基板等の支持基板上の所定領域（例えば、格子状、ストライプ状、島状等の領域）に遮光膜を形成する。ここでは、例えば高融点金属のスパッタリングにより一面に遮光膜を形成後、フォトリソグラフィ及びエッチングによりパターンニングすることで、遮光膜を形成する。続いてこの上に、直接又は、例えば酸化シリコン膜等の層間絶縁膜を介して窒化シリコン膜又は窒化酸化シリコン膜を含む絶縁部を形成する。ここでは例えば、酸化シリコン膜を先ず形成し、この表面を一酸化二窒素若しくは一酸化窒素にて窒化若しくは酸化したり、CVD法で、窒化シリコン膜又は窒化酸化シリコン膜を形成すればよい。更にこの上に、直接又は層間絶縁膜を介して、例えばポリシリコン膜、アモルファスシリコン膜、単結晶シリコン膜等の半導体層を形成する。そして、少なくとも光入射領域或いは画像表示領域において、この半導体層を構成要素として遮光膜に下側から覆われる位置にチャンネル領域が配置されてなる、TFT等のトランジスタ素子を形成する。そして、このトランジスタ素子に接続された配線を、導電性の金属膜やポリシリコン膜等から形成し、画素電極をITO (Indium Tin Oxide) 膜等から形成する。従って、上述の如き少なくとも絶縁部を遮光膜の上側に備えた態様の本発明の電気光学装置を比較的容易に製造できる。

【0041】この製造方法の一態様では、前記遮光膜を形成する工程の前に、前記支持基板上に、窒化シリコン膜又は窒化酸化シリコン膜を含む他の絶縁部を形成する工程を更に含む。

【0042】この態様によれば、支持基板上において、遮光膜の形成前に、窒化シリコン膜又は窒化酸化シリコン膜を含む他の絶縁部を形成するので、上述の如き二つの絶縁部の間に遮光膜が挟持された構造を有する態様の本発明の電気光学装置を比較的容易に製造できる。

【0043】本発明の他の電気光学装置の製造方法は上記課題を解決するために、支持基板上に窒化シリコン膜又は窒化酸化シリコン膜を含む絶縁部を形成する工程と、該絶縁部上の所定領域に直接又は層間絶縁膜を介して遮光膜を形成する工程と、該遮光膜上に、直接又は層間絶縁膜を介して半導体層を形成する工程と、該半導体層を構成要素として前記遮光膜に下側から覆われる位置にチャンネル領域が配置されてなるトランジスタ素子を形成する工程と、該トランジスタ素子に接続された配線及び画素電極を形成する工程とを含む。

【0044】この製造方法によれば、先ず、例えばガラス基板、シリコン基板、石英基板等の支持基板上に、窒化シリコン膜又は窒化酸化シリコン膜を含む絶縁部を形成す

10

20

30

40

50

る。ここでは例えば、酸化シリコン膜を先ず形成し、この表面を一酸化二窒素若しくは一酸化窒素にて窒化若しくは酸窒化したり、CVD法で、窒化シリコン膜又は窒化酸化シリコン膜を形成すればよい。続いて、この絶縁部上の所定領域（例えば、格子状、ストライプ状、島状等の領域）に、直接又は、例えば酸化シリコン膜等の層間絶縁膜を介して、遮光膜を形成する。ここでは、例えば高融点金属のスパッタリングにより一面に遮光膜を形成後、フォトリソグラフィ及びエッチングによりパターンニングすることで、遮光膜を形成する。更にこの上に、直接又は層間絶縁膜を介して、例えばポリシリコン膜、アモルファスシリコン膜、単結晶シリコン膜等の半導体層を形成する。そして、少なくとも光入射領域或いは画像表示領域において、この半導体層を構成要素として遮光膜に下側から覆われる位置にチャネル領域が配置される、TFT等のトランジスタ素子を形成する。そして、このトランジスタ素子に接続された配線を、導電性の金属膜やポリシリコン膜等から形成し、画素電極をITO（IndiumTinOxide）膜等から形成する。従って、上述の如き少なくとも絶縁部を遮光膜の下側に備えた態様の本発明の電気光学装置を比較的容易に製造できる。

【0045】本発明の電気光学装置の製造方法の他の態様では、前記半導体層を形成する工程は、前記半導体層が形成された単結晶シリコン基板と前記遮光膜及び前記絶縁部が形成された支持基板とを貼り合わせる工程と、貼り合わせ後に前記単結晶シリコン基板を薄膜化する工程とを含む。

【0046】この態様によれば、先ず、単結晶シリコン基板上に半導体層を別途形成し、この単結晶シリコン基板と、遮光膜及び絶縁部が既に形成された支持基板とを貼り合わせる。ここでは、例えば酸化シリコン膜を貼り合わせ面に形成して、この貼り合わせ面を平坦化後に両基板を密着させることで水素結合力を利用して貼り合わせ、更に熱処理によって貼り合わせ強度を高めることにより行なう。続いて、単結晶シリコン基板を薄膜化する。ここでは、例えば半導体層を支持基板側に残して、単結晶シリコン基板を支持基板側から剥がすことで、単結晶シリコン基板を薄膜化してもよい。或いは、単結晶シリコン基板に対するエッチング、研磨、研削等で、単結晶シリコン基板を薄膜化してもよい。従って、上述の如きSOI基板上に単結晶シリコン膜を半導体層とする極めて高性能なトランジスタ素子を備えた態様の本発明の電気光学装置を比較的容易に製造できる。

【0047】本発明のこのような作用及び他の利得は次に説明する実施の形態から明らかにされる。

【0048】

【発明の実施の形態】以下、本発明の実施形態について図面を参照して説明する。以下の実施形態は、本発明の電気光学装置をTFTアクティブマトリクス駆動方式の液晶装置に適用したものである。

【0049】（SOI基板）先ず、本実施形態の電気光学装置に好適に用いられる素子基板の一例を構成するSOI基板について説明する。

【0050】はじめに、図1に本発明の実施形態に係るSOI基板の断面構造を示し、このSOI基板200の構造について説明する。

【0051】図1に示すように、本実施形態のSOI基板200は、シリコン、石英、ガラスなどからなる支持基板201と単結晶シリコン層202とを具備し、支持基板201と単結晶シリコン層202との間には複数の絶縁膜の積層構造からなる絶縁部205が形成されている。本実施形態において、絶縁部205は支持基板201側から、第1の酸化シリコン膜203B、窒化シリコン膜又は窒化酸化シリコン膜204、並びに第2の酸化シリコン膜203Aが順次積層されたものとなっている。

【0052】次に、図2及び図3に基づいて、本実施形態に係るSOI基板の製造方法として、上記構造を有するSOI基板200の製造方法について説明する。図2（a）～（e）及び図3（a）～（c）は夫々、各工程における断面図を示している。なお、以下に記載の製造方法は一例であって、本発明は以下に記載のものに限定されるものではない。

【0053】はじめに、図2（a）に示すように、例えば300～900μm程度の膜厚を有する単結晶シリコン基板202Aを用意し、図2（b）に示すように、単結晶シリコン基板202Aの一方の表面をO<sub>2</sub>若しくはH<sub>2</sub>O雰囲気下、700～1150℃で熱酸化することにより、単結晶シリコン基板202Aの一方の表面に例えば5～400nm程度の膜厚を有する第1の酸化シリコン膜203Bを形成する。

【0054】次に、図2（c）に示すように、第1の酸化シリコン膜203Bを形成した単結晶シリコン基板202Aの表面を一酸化二窒素若しくは一酸化窒素雰囲気下、800～1150℃で窒化若しくは酸窒化することにより、第1の酸化シリコン膜203Bの単結晶シリコン基板202A側に窒化シリコン膜又は窒化酸化シリコン膜204を形成する。

【0055】支持基板201が石英基板、ガラス基板等の光透過性を有する基板からなり、SOI基板200が透過型の液晶装置など、光を透過させるデバイスに適用されるものである場合には、窒化シリコン膜又は窒化酸化シリコン膜204の存在によって、光の透過率が低下することを防止するために、窒化シリコン膜又は窒化酸化シリコン膜204の膜厚を100nm以下とすることが望ましい。特にこの窒化シリコン膜又は窒化酸化シリコン膜の合計膜厚を減少させることによって係る黄色味がかかる現象を低減できる。特に前記窒化シリコン膜又は窒化酸化シリコン膜の合計の膜厚を10nm以下とすることが望ましい。これにより透過率の低下量を数%以内

に押さえることが可能になる。

【0056】次に、図2(d)に示すように、窒化シリコン膜又は窒化酸化シリコン膜204を形成した単結晶シリコン基板202Aの表面を $O_2$ 若しくは $H_2O$ 雰囲気下、700～1150℃で熱酸化することにより、窒化シリコン膜又は窒化酸化シリコン膜204の単結晶シリコン基板202A側に、例えば5～400nm程度の膜厚を有する第2の酸化シリコン膜203Aを形成する。以上のようにして、単結晶シリコン基板202A表面に、第1の酸化シリコン膜203B、窒化シリコン膜又は窒化酸化シリコン膜204、並びに第2の酸化シリコン膜203Aからなる絶縁部205が形成される。

【0057】次に、図2(e)に示すように、表面に絶縁部205を形成した単結晶シリコン基板202Aの絶縁部205側の表面に水素イオン( $H^+$ )を例えば加速電圧100keV、ドーズ量 $10 \times 10^{16}/cm^2$ にて注入する。この処理によって、単結晶シリコン基板202A中に水素イオンの高濃度層206を形成する。

【0058】次に、図3(a)に示すように、絶縁部205表面(第1の酸化シリコン膜203B表面)を貼り合わせ面として、単結晶シリコン基板202Aと、シリコン、石英、ガラスなどからなる支持基板201との貼り合わせを、貼り合わせ面を構成する酸化シリコンの水素結合力等を利用して行う。貼り合わせ工程は、例えば300℃で2時間熱処理することによって2枚の基板を直接貼り合わせる方法を採用することができる。また、貼り合わせ強度をさらに高めるためには、さらに熱処理温度を上げて450℃程度にする必要があるが、石英などからなる支持基板201と単結晶シリコン基板202Aの熱膨張係数には大きな差があるため、このまま加熱すると単結晶シリコン層にクラックなどの欠陥が発生し、製造されるSOI基板200の品質が劣化する恐れがある。

【0059】そこで、このようなクラックなどの欠陥の発生を抑制するためには、一度300℃にて貼り合わせのための熱処理を行った単結晶シリコン基板202AをウェットエッチングまたはCMP(化学的機械研磨)法によって100～150μm程度まで薄くした後に、さらに高温の熱処理を行うことが望ましい。例えば80℃のKOH水溶液を用い、単結晶シリコン基板202Aの厚さが150μmなるようエッチングを行った後、支持基板201との貼り合わせを行い、さらに450℃にて再び熱処理し、貼り合わせ強度を高めることが望ましい。

【0060】次に、図3(b)に示すように、貼り合わせた2枚の基板を熱処理することにより、支持基板201の表面上に薄膜の単結晶シリコン層202を残して大部分の単結晶シリコン基板202Aの剥離を行う。この基板の剥離現象は、単結晶シリコン基板202A中に導入された水素イオンによって、シリコンの結合が分断さ

れるために生じるものである。すなわち、単結晶シリコン基板202Aにおいて、水素イオンの高濃度層206と水素イオンが注入されていない部分との境界近傍部分で、単結晶シリコン基板202Aを分断させることができる。

【0061】単結晶シリコン基板202Aを剥離するための熱処理は例えば、貼り合わせた2枚の基板を毎分20℃の昇温速度にて600℃まで加熱することにより行なうことができる。この熱処理によって、貼り合わされた単結晶シリコン基板202Aの大部分が支持基板201から分離され、支持基板201の表面上には例えば約200nm±5nm程度の膜厚を有する単結晶シリコン層202が形成される。なお、単結晶シリコン層202は、前に述べた単結晶シリコン基板202Aに対して行われる水素イオン注入の加速電圧を変えることによって50nm～3000nmまで任意の膜厚で形成することが可能である。

【0062】以上のようにして、図3(c)に示すように、SOI基板200が製造される。

【0063】なお、単結晶シリコン基板202Aと支持基板201とを貼り合わせた後、単結晶シリコン基板202Aを薄膜化して単結晶シリコン層202を形成する方法は上述した水素イオンを用いる方法に限定されるものではなく、薄膜の単結晶シリコン層202は、単結晶シリコン基板と支持基板とを貼り合わせた後、単結晶シリコン基板の表面を研磨してその膜厚を3～5μmとした後、さらにPACE(Plasma Assisted Chemical Etching)法によってその膜厚を0.05～0.8μm程度までエッチングして仕上げる方法や、多孔質シリコン上に形成したエピタキシャルシリコン層を多孔質シリコン層の選択エッチングによって貼り合わせ支持基板上に転写するELTRAN(Epitaxial Layer Transfer)法によっても得ることができる。

【0064】本実施形態のSOI基板の製造方法によれば、表面に窒化シリコン膜又は窒化酸化シリコン膜204を形成した単結晶シリコン基板202Aと支持基板201とを貼り合わせることににより、窒化シリコン膜又は窒化酸化シリコン膜204を支持基板201と単結晶シリコン基板202Aとの貼り合わせ面よりも単結晶シリコン層202側に位置させることができるので、支持基板201に含有された不純物、及び支持基板201と単結晶シリコン基板202Aとの貼り合わせ面に吸着した不純物が単結晶シリコン層202側に拡散することを完全に防止することができる。

【0065】そして特に本実施形態のSOI基板の製造方法によれば、後述の如く画素スイッチング用TFTの少なくともチャネル領域を支持基板201側から覆って戻り光に対する遮光を行なう遮光膜を支持基板201上に形成した場合に、酸素や水分等の酸化種或いは不純物

に対して低透過率の緻密な膜である窒化シリコン膜又は窒化酸化シリコン膜204を含む絶縁部205が、高融点金属等からなる遮光膜に酸化種が拡散するのを効果的に阻止し得、同時に、遮光膜から単結晶シリコン層202へ不純物が拡散するのを効果的に阻止し得る。

【0066】また、CVD法などを用いて、第2の酸化シリコン膜203A、窒化シリコン膜又は窒化酸化シリコン膜204、並びに第1の酸化シリコン膜203Bを、単結晶シリコン基板202Aの表面上に順次積層形成してもよい。ただし、この場合には、製造工程が複雑化するとともに、第2の酸化シリコン膜203A、窒化シリコン膜又は窒化酸化シリコン膜204、並びに第1の酸化シリコン膜203Bの膜厚が不均一になる恐れがある。

【0067】しかしながら、本実施形態では、単結晶シリコン基板202A表面を熱酸化することにより第1の酸化シリコン膜203Bを形成した後、第1の酸化シリコン膜203Bを形成した単結晶シリコン基板202A表面を窒化若しくは酸化窒化することにより、第1の酸化シリコン膜203Bの単結晶シリコン基板202A側に窒化シリコン膜又は窒化酸化シリコン膜204を形成し、さらに窒化シリコン膜又は窒化酸化シリコン膜204を形成した単結晶シリコン基板202A表面を熱酸化することにより、窒化シリコン膜又は窒化酸化シリコン膜204の単結晶シリコン基板202A側に第2の酸化シリコン膜203Aを形成する方法を採用したので、均一な膜厚を有する平坦な第1の酸化シリコン膜203B、窒化シリコン膜又は窒化酸化シリコン膜204、並びに第2の酸化シリコン膜203Aを形成することができる。このように均一な膜厚を有するこれらの膜を形成することにより、支持基板201と単結晶シリコン基板202Aとの貼り合わせ面にボイドが発生することを防止することができ、貼り合わせ強度を向上させることができるとともに、SOI基板200を用いてトランジスタ素子などを形成する場合に、膜剥がれ等が生じることを防止できるので、製品の歩留まりを向上させることができる。

【0068】また、この方法によれば、第1の酸化シリコン膜203B、窒化シリコン膜又は窒化酸化シリコン膜204、並びに第2の酸化シリコン膜203Aを単結晶シリコン基板202Aと一体に形成することができるので、第1の酸化シリコン膜203B、窒化シリコン膜又は窒化酸化シリコン膜204、第2の酸化シリコン膜203A、並びに単結晶シリコン層202の相互の密着性が高いSOI基板200を製造することができる。

【0069】また、本実施形態によれば、窒化シリコン膜又は窒化酸化シリコン膜204の表面に第1の酸化シリコン膜203Bを形成し、第1の酸化シリコン膜203Bの表面を貼り合わせ面としたので、窒化シリコン膜又は窒化酸化シリコン膜204の表面に第1の酸化シリ

コン膜203Bを形成せず、窒化シリコン膜又は窒化酸化シリコン膜204の表面を貼り合わせ面とする場合よりも支持基板201と単結晶シリコン基板202Aとの密着性を向上することができ、貼り合わせ強度を向上させることができる。

【0070】なお、第1の酸化シリコン膜203B、窒化シリコン膜又は窒化酸化シリコン膜204、並びに第2の酸化シリコン膜203Aを単結晶シリコン基板202Aと一体形成せずに、CVD法などを用いて形成しても平坦な膜を形成できる場合には、上記の製造方法で説明した以外の、第1の酸化シリコン膜203B、窒化シリコン膜又は窒化酸化シリコン膜204、並びに第2の酸化シリコン膜203Aの形成方法や、単結晶シリコン基板202Aと支持基板201との貼り合わせのパターンを例示することができる。

【0071】また、本実施形態においては、第2の酸化シリコン膜203Aは窒化シリコン膜又は窒化酸化シリコン膜204の後に形成されているが、これは単結晶シリコン基板202A上に窒化シリコン膜又は窒化酸化シリコン膜204を直接形成したときに格子欠陥が形成される場合のみである。特に、窒化酸化シリコン膜を形成するときには格子欠陥が形成されにくいので、第2の酸化シリコン膜203Aは形成されなくても良い。

【0072】次に、図4(a)～(d)に基づいて、上記以外の第1の酸化シリコン膜203B、窒化シリコン膜又は窒化酸化シリコン膜204、並びに第2の酸化シリコン膜203Aの形成方法及び貼り合わせのパターンについて簡単に説明する。図4(a)～(d)は夫々、貼り合わせを行う支持基板201と単結晶シリコン基板202Aとを取り出して、その組み合わせを示した断面図である。

【0073】図4(a)に示すように、CVD法により、単結晶シリコン基板202Aの表面上に第2の酸化シリコン膜203A、窒化シリコン膜又は窒化酸化シリコン膜204、並びに第1の酸化シリコン膜203Bを順次形成した後、この単結晶シリコン基板202Aと支持基板201とを貼り合わせてもよい。

【0074】また、第2の酸化シリコン膜203Aを単結晶シリコン基板202Aの表面を熱酸化することにより形成した後、CVD法により窒化シリコン膜又は窒化酸化シリコン膜204、並びに第1の酸化シリコン膜203Bを順次形成するなど、上記で説明した方法とCVD法とを組み合わせ形成しても良い。

【0075】また、CVD法を用いて単結晶シリコン基板202Aの表面上に酸化シリコン膜並びに窒化シリコン膜又は窒化酸化シリコン膜を形成する場合、図4

(b)に示すように、単結晶シリコン基板202Aの表面上に第2の酸化シリコン膜203Aを設けずに、直接窒化シリコン膜又は窒化酸化シリコン膜204を形成してもよい。



【0076】このような構成としても、窒化シリコン膜又は窒化酸化シリコン膜204を支持基板201と単結晶シリコン基板202Aとの貼り合わせ面よりも単結晶シリコン層202側に位置させることができるので、支持基板201に含有された不純物、及び支持基板201と単結晶シリコン基板202Aとの貼り合わせ面に吸着した不純物が単結晶シリコン層202側に拡散することも完全に防止することができる。

【0077】図4(a)及び(b)においては、酸化シリコン膜並びに窒化シリコン膜又は窒化酸化シリコン膜を単結晶シリコン基板202A側に形成してから貼り合わせを行う場合について説明したが、本発明はこれに限定されるものではない。以下に、図4(c)及び(d)に基づいて、酸化シリコン膜並びに窒化シリコン膜又は窒化酸化シリコン膜を支持基板201側に形成してから貼り合わせを行なう場合について説明する。

【0078】図4(c)に示すように、CVD法により支持基板201の表面上に第1の酸化シリコン膜203B、窒化シリコン膜又は窒化酸化シリコン膜204、並びに第2の酸化シリコン膜203Aを順次形成した後、この支持基板201と単結晶シリコン基板202Aとの貼り合わせを行ってもよい。

【0079】この場合には、熱酸化又はCVD法により単結晶シリコン基板202Aの表面上にあらかじめ酸化シリコン膜203Cを形成しておくことが望ましく、このように支持基板201及び単結晶シリコン基板202Aのいずれの基板についても貼り合わせ側の最表面を酸化シリコン膜にしておくことで、貼り合わせた後の2枚の基板の密着性を向上させることができる。

【0080】また、支持基板201が石英基板又はガラス基板からなる場合には、支持基板201の主成分が酸化シリコンであるため、図4(d)に示すように、支持基板201の表面上に第1の酸化シリコン膜203Bを形成しなくても良く、CVD法を用いて支持基板201側に窒化シリコン膜又は窒化酸化シリコン膜204、並びに第2の酸化シリコン膜203Aを順次形成した後、この支持基板201と表面に酸化シリコン膜203Cを形成した単結晶シリコン基板202Aとを貼り合わせてもよい。

【0081】なお、図4(c)及び(d)に示した貼り合わせのパターンでは、窒化シリコン膜又は窒化酸化シリコン膜204が貼り合わせ面よりも支持基板201側に形成されるため、支持基板201に含有された不純物が単結晶シリコン層202側に拡散することを防止することはできるが、貼り合わせ面に吸着した不純物が単結晶シリコン層202側に拡散することを防止することができない。すなわち、図4(c)及び(d)に示した貼り合わせのパターンは、支持基板201として、石英基板又はガラス基板などの不純物を含む基板を用いた場合に有効である。

【0082】そして特に図4(c)～(d)に示したSOI基板の製造方法によれば、図2及び図3に示した製造方法の場合と同様に、後述の如く画素スイッチング用TFTのチャネル領域を支持基板201側から覆う遮光膜を支持基板201上に形成した場合に、窒化シリコン膜又は窒化酸化シリコン膜204を含む絶縁部が、遮光膜に酸化種が拡散するのを効果的に阻止し得、同時に、遮光膜から単結晶シリコン層202へ不純物が拡散するのを効果的に阻止し得る。

【0083】(素子基板) 次に、上述の如きSOI基板200を用いて製造されると共に本実施形態の電気光学装置に好適に用いられる素子基板について図5を参照して説明する。

【0084】図5において、素子基板210は、SOI基板200の単結晶シリコン層202を所定のパターンに形成した後、この単結晶シリコン層を用いてTFT(トランジスタ素子)を形成することにより製造されたものである。図5において、図1と同じ構成要素については同じ符号を付し、説明は省略する。

【0085】図5において、トランジスタ素子の一例としてのTFT220は、上述の如くSOI基板200上に製造された単結晶シリコン層202を、半導体層208として構成されている。また、図5において、支持基板201、第1の酸化シリコン膜203Bと窒化シリコン膜又は窒化酸化シリコン膜204と第2の酸化シリコン膜203Aとからなる絶縁部205、並びに単結晶シリコン層202から形成された半導体層208がSOI基板となっている。

【0086】図5に示すように、絶縁部205の表面上には、半導体層208、ゲート絶縁膜209、ゲート電極211、ソース電極215、ドレイン電極216及び層間絶縁膜212からなるTFT220が形成されている。

【0087】より詳細には、半導体層208を形成した支持基板201の表面上にゲート絶縁膜209が形成され、ゲート絶縁膜209の表面上にゲート電極211が形成されている。さらに、ゲート電極211を形成した支持基板201の表面上には層間絶縁膜212が設けられている。

【0088】層間絶縁膜212及びゲート絶縁膜209には、半導体層208に形成されたソース領域及びドレイン領域(いずれも図示せず)に各々通じるコンタクトホール217及び218が形成されており、ソース電極215及びドレイン電極216が各々コンタクトホール217及び218を介して半導体層208のソース領域及びドレイン領域に電気的に接続するように形成されている。

【0089】本実施形態の素子基板210は、上記のSOI基板200を用いて形成されたものであるため、支持基板201に含有された不純物、及び支持基板201

と単結晶シリコン基板 202A との貼り合わせ面に吸着した不純物が半導体層 208 (TFT 220) 側へ拡散することを完全に防止することができるので、TFT 220 の特性の劣化を防止することができるものとなる。

【0090】そして特に本発明の素子基板 210 によれば、後述の如く TFT 220 を画素スイッチング用 TFT として入射光や戻り光が入射する画像表示領域に設ける場合であって、この TFT 220 を構成する半導体層 208 の少なくともチャネル領域を支持基板 201 側から覆って戻り光に対する遮光を行なう遮光膜を支持基板 201 上に作り込んだ場合に、窒化シリコン膜又は窒化酸化シリコン膜 204 を含む絶縁部 205 が、遮光膜に酸化種が拡散するのを効果的に阻止し得る。同時に、この絶縁膜 205 が、遮光膜から半導体層 208 へ不純物が拡散するのを効果的に阻止し得る。

【0091】(電気光学装置) 次に、本発明の電気光学装置に係る実施形態として、プロジェクタ等の投射型表示装置に好適に用いられる、TFT (トランジスタ素子) をスイッチング素子として用いたアクティブマトリクス型の液晶装置を取り上げて、図 18 及び図 19 並びに、図 6 から図 8 を参照して説明する。

【0092】なお、本実施形態の液晶装置は、基本的に上述した SOI 基板 (図 1 から図 4 参照) を用いて製造された素子基板 (図 5 参照) を備えたものである。すなわち、本実施形態の電気光学装置を構成する素子基板の基本構造は、先に説明したように、支持基板に相当する基板本体の表面上に、窒化シリコン膜又は窒化酸化シリコン膜を含んでなる絶縁部が設けられ、その上方に単結晶シリコン層から形成された半導体層を具備する TFT が形成されたものとなっている。

【0093】また、投射型表示装置では、通常、液晶装置を構成する 2 枚の基板のうち、素子基板と対向する側の基板側 (液晶装置の表面) から光が入射するが、この光が素子基板の表面上に形成された TFT のチャネル領域に入射して光リーク電流を生ずるのを防ぐために TFT の光が入射する側に遮光層を設ける構造とするのが一般的である。

【0094】しかしながら、TFT の光が入射する側に遮光層を設けても、液晶装置に入射した光が素子基板の裏面の界面で反射して TFT のチャネル部に戻り光として入射することがある。この戻り光は、液晶装置の表面から入射する光量に対する割合としては僅かであるが、プロジェクタなどの非常に強力な光源を用いる装置においては十分に光リーク電流を生じうる。すなわち、素子基板の裏面からの戻り光は TFT のスイッチング特性に影響を及ぼしデバイスの特性を劣化させる。

【0095】そこで、本実施形態においては、このような戻り光による TFT の特性の劣化を防止するために、支持基板に相当する基板本体の直上に各 TFT (トランジスタ素子) に対応させて遮光膜を設け、更に金属等か

らなる遮光膜と TFT を構成する半導体層とを電氣的に絶縁するために、第 1 の酸化シリコン膜、窒化シリコン膜又は窒化酸化シリコン膜、並びに第 2 の酸化シリコン膜からなる絶縁部を設ける構成としている。

【0096】ここで先ず、本実施形態の電気光学装置における TFT の下側に遮光膜を作り込む構造の各種具体例について、図 17 (a) ~ (c) 及び図 18 (a) ~ (c) 及び図 19 (a)、(b)、図 20 (a)、(b) を参照して説明する。尚、図 17 (a) ~ (c) 及び図 18 (a) ~ (c) において、図 5 と同様の構成要素には同様の参照符号を付し、それらの説明は適宜省略する。

【0097】図 17 (a) に示す具体例では、支持基板 201 の直上に各 TFT (トランジスタ素子) 220 に対応させて第 1 遮光膜 11a が設けられている。このような第 1 遮光膜 11a は、例えば、Ti (チタン)、Cr (クロム)、W (タングステン)、Ta (タンタル)、Mo (モリブデン)、Pb (鉛) 等の高融点金属のうちの少なくとも一つを含む、金属単体、合金、金属シリサイド、ポリシリサイド、これらを積層したもの等の高融点金属を含む膜からなる。或いは、第 1 遮光膜 11a は、光を部分的に吸収することにより遮光を行なうシリコン膜等の光吸収膜からなってもよいし、高反射率の Al (アルミニウム) 膜等からなってもよい。また、第 1 遮光膜 11a の平面パターンは、格子状、ストライプ状、島状等の所定形状であってよいが、少なくとも半導体層 208 のチャネル領域を支持基板 201 側 (図中、下側) から覆うように形成されている。そして、このように構成された第 1 遮光膜 11a と TFT 220 との間には、第 1 の酸化シリコン膜 203B、窒化シリコン膜又は窒化酸化シリコン膜 204、並びに第 2 の酸化シリコン膜 203A からなる絶縁部 205 が形成されている。これにより支持基板 201 に含有された不純物、及び支持基板 201 と単結晶シリコン基板 202A との貼り合わせ面に吸着した不純物が半導体層 208 (TFT 220) 側へ拡散することを防止することができるので、TFT 220 の特性の劣化を防止できる。

【0098】更に、この具体例では、半導体層 208 を LOCOS 等で素子分離する工程が入る場合、もしくは半導体層 208 を薄膜化するために半導体層 208 を薄膜化する工程が入る場合、またゲート酸化膜 209 を形成する工程が入る場合においても、その酸化工程において第 1 遮光膜 11a の上方の窒化シリコン膜又は窒化酸化シリコン膜 204 により酸化種が拡散することを防止し、例えば高融点金属膜等からなる第 1 遮光膜 11a が酸化されることを防止できる。これにより第 1 遮光膜 11a が酸化されて第 1 遮光膜 11a の光透過率が上昇すること、即ち第 1 遮光膜 11a の遮光機能が低下することを効果的に防止できる。加えて、例えば高融点金属膜等からなる第 1 遮光膜 11a から不純物が半導体層 20



8に拡散することも、窒化シリコン膜又は窒化酸化シリコン膜204により効果的に防止でき、このような不純物の拡散によるTFT220のトランジスタ特性の劣化を防止できる。

【0099】次に、図17(b)に示す具体例では、支持基板201の直上に各TFT220に対応させて第1遮光膜11aが設けられており、第1遮光膜11aとTFT220との間には、窒化シリコン膜又は窒化酸化シリコン膜204、並びに酸化シリコン膜203Aが形成されている。これにより支持基板201に含有された不純物、及び支持基板201と単結晶シリコン基板202Aとの貼り合わせ面に吸着した不純物が半導体層208(TFT220)側へ拡散することを防止することができるので、TFT220の特性の劣化を防止することができる。

【0100】更に、この具体例では、半導体層208をLOCOS等で素子分離する工程が入る場合、もしくは半導体層208を薄膜化するために半導体層208を酸化する工程が入る場合、またゲート酸化膜209を形成する工程が入る場合においても、その酸化工程において第1遮光膜11aの直上の窒化シリコン膜又は窒化酸化シリコン膜204により酸化種が拡散することを防止し、例えば高融点金属膜等からなる第1遮光膜11aが酸化されることを防止できる。これにより第1遮光膜11aが酸化されて第1遮光膜11aの光透過率が上昇すること、即ち第1遮光膜11aの遮光機能が低下することを防止できる。加えて、例えば高融点金属膜等からなる第1遮光膜11aから不純物が半導体層208に拡散することも、窒化シリコン膜又は窒化酸化シリコン膜204により効果的に防止でき、このような不純物の拡散によるTFT220のトランジスタ特性の劣化を防止できる。

【0101】次に、図17(c)に示す具体例では、上述した図17(b)の具体例と比べて、窒化シリコン膜又は窒化酸化シリコン膜204が、支持基板201のほぼ一面ではなく、所定形状の平面パターンを有する第1遮光膜11aより一回り大きい平面パターンを持つように形成されている。その他の構成については上述した図17(b)の具体例の場合と同様である。従って、支持基板201に含有された不純物、及び支持基板201と単結晶シリコン基板202Aとの貼り合わせ面に吸着した不純物が半導体層208(TFT220)側へ拡散することを防止できる。更に、第1遮光膜11aの直上の窒化シリコン膜又は窒化酸化シリコン膜204において酸化種が拡散することを防止できる。加えて、第1遮光膜11aから不純物が半導体層208に拡散することも防止できる。

【0102】そして特にこの具体例では、表示用の光が透過することにより表示に実際に寄与する各画素の開口領域に、殆ど又は全く、窒化シリコン膜又は窒化酸化シ

リコン膜204を設けないので、この窒化シリコン膜又は窒化酸化シリコン膜204により開口領域における光透過率が低下する事態を回避できる。特に、窒化シリコン膜又は窒化酸化シリコン膜204における光透過率には波長依存性があるので、窒化シリコン膜又は窒化酸化シリコン膜204の存在により、表示用の光が着色してしまう(例えば、画面全体に黄色がかかる)事態を回避できるため、有利である。また本具体例では上記の利点を生かして絶縁部の膜厚を前記図17(b)に比べて増やすことが可能になり、より酸化種に対する拡散を防止できる。この具体例では特に光透過部においてほぼ絶縁部のエッチング端が遮光膜のエッチング端より2μm以内であることが望ましい。これにより開口領域における前記絶縁部による光透過率の低下を数%以内に押さえることが可能になる。次に、図19(a)に示す具体例では図17(c)に示す具体例に比べて光透過部においてほぼ絶縁部のエッチング端が遮光膜のエッチング端とほぼ自己整合的に形成されている。このことにより開口領域の光透過部において絶縁部のエッチング端を遮光膜のエッチング端に比べて1μm以下に押さえることが可能になるため、開口領域における前記絶縁部による光透過率の低下をさらに押さえることが可能になる。また特に本具体例では図19(b)に示す様にレジスト221を背面露光等で斜線部を残し露光、除去することにより簡便に露光を行うことが可能であり、図17(c)の具体例に比べて大幅にコストダウンをすることが可能になる。

【0103】次に、図18(a)に示す具体例では、上述した図17(b)の具体例と比べて、窒化シリコン膜又は窒化酸化シリコン膜204Aが、第1遮光膜11aの上側ではなく、下側に設けられており、その他の構成については上述した図17(b)の具体例の場合と同様である。従って、支持基板201に含有された不純物等が半導体層208(TFT220)側へ拡散することを防止できる。更に、第1遮光膜11aの直下の窒化シリコン膜又は窒化酸化シリコン膜204Aにおいて酸化種が拡散することを防止できる。

【0104】次に、図18(b)に示す具体例では、上述した図17(b)或いは図18(a)の具体例と比べて、窒化シリコン膜又は窒化酸化シリコン膜204A及び204Bが、第1遮光膜11aの上側のみ又は下側のみではなく、上下両側に設けられている。その他の構成については上述した図17(b)或いは図18(a)の具体例の場合と同様である。従って、第1遮光膜11aの直上の窒化シリコン膜又は窒化酸化シリコン膜204B及び第1遮光膜11aの直下の窒化シリコン膜又は窒化酸化シリコン膜204Aにおいて酸化種が拡散することを防止できる。加えて、第1遮光膜11aから不純物が半導体層208に拡散することも、窒化シリコン膜又は窒化酸化シリコン膜204Bにより効果的に防止できる。

【0105】次に、図18(c)に示す具体例では、上述した図18(b)の具体例と比べて、窒化シリコン膜又は窒化酸化シリコン膜204A及び204Bが、支持基板201のほぼ一面ではなく、所定形状の平面パターンを有する第1遮光膜11aより一回り大きい平面パターンを持つように形成されている。その他の構成については上述した図18(b)の具体例の場合と同様である。従って、支持基板201に含有された不純物、及び支持基板201と単結晶シリコン基板202Aとの貼り合わせ面に吸着した不純物が半導体層208(TFT220)側へ拡散することを防止できる。更に、第1遮光膜11aの直上の窒化シリコン膜又は窒化酸化シリコン膜204B及び第1遮光膜11aの直下の窒化シリコン膜又は窒化酸化シリコン膜204Aにおいて酸化種が拡散することを防止できる。加えて、第1遮光膜11aから不純物が半導体層208に拡散することも、窒化シリコン膜又は窒化酸化シリコン膜204Bにより効果的に防止できる。

【0106】そして特にこの具体例では、図17(c)に示した具体例の場合と同様に、各画素の開口領域に、殆ど又は全く、窒化シリコン膜又は窒化酸化シリコン膜204A及び204Bを設けないでよいので、この窒化シリコン膜又は窒化酸化シリコン膜204A又は204Bにより開口領域における光透過率が低下する事態を回避できる。特に、窒化シリコン膜又は窒化酸化シリコン膜204A及び204Bにおける光透過率は周波数依存性があるので、窒化シリコン膜又は窒化酸化シリコン膜204A及び204Bの存在により、表示用の光が着色してしまう(例えば、画面全体に黄色がかかる)事態を回避できるため、有利である。

【0107】尚、この具体例においては、窒化シリコン膜又は窒化酸化シリコン膜204Aは窒化シリコン膜又は窒化酸化シリコン膜204Bのエッチングの時に同時にエッチングされているが、窒化シリコン膜又は窒化酸化シリコン膜204Aは残していても大きな違いはない。

【0108】本実施形態では特に、図17(a)及び(b)並びに図18(a)及び(b)に示した具体例のように、各画素の開口領域内にも窒化シリコン膜又は窒化酸化シリコン膜204、204A又は204Bが設けられる構成を採用する場合には、窒化シリコン膜又は窒化酸化シリコン膜の合計膜厚が100nm以下とすることが望ましい。このように構成すれば、窒化シリコン膜又は窒化酸化シリコン膜の存在による各画素の開口領域における光透過率の低下や、表示用の光の着色を表示画像上で視認できない程度にまで低減できる。特にこの窒化シリコン膜又は窒化酸化シリコン膜の合計膜厚を減少させることによって係る黄色味がかかる現象を低減できる。更に前記窒化シリコン膜又は窒化酸化シリコン膜の合計の膜厚を10nm以下とすることが望ましい。これにより透過率の低下量を数%以内に押さえることが可能

になる。

【0109】また特に、図17(c)及び図18(c)に示した具体例のように、絶縁部を構成する窒化シリコン膜又は窒化酸化シリコン膜は、平面的に見て第1遮光膜11aよりも一回り大きく、前者の縁が後者の縁から適当な距離だけ離れているのが好ましい。このように構成すれば、例えば、格子状、ストライプ状、島状などの所定形状の平面パターンを有する遮光膜を、絶縁部を構成する窒化シリコン膜又は窒化酸化シリコン膜によって、支持基板201上で上下左右から立体的に覆うことが可能となり、第1遮光膜11aに酸化種が至る可能性を低減でき、且つ第1遮光膜11aからの不純物拡散を低減できる。

【0110】そして特にこの具体例では光透過部においてほぼ絶縁部のエッチング端が遮光膜のエッチング端より2μm以内であることが望ましい。これにより開口領域における前記絶縁部による光透過率の低下を数%以内に押さえることが可能になる。

【0111】次に、図20(a)に示す具体例では図18(c)に示す具体例に比べて光透過部においてほぼ絶縁部のエッチング端が遮光膜のエッチング端とほぼ自己整合的に形成されている。このことにより開口領域の光透過部において絶縁部のエッチング端を遮光膜のエッチング端に比べて1μm以下に押さえることが可能になるため、開口領域における前記絶縁部による光透過率の低下を数%以内に押さえることが可能になる。特に本具体例では図20(b)に示す様にレジスト222を背面露光等で斜線部を残し露光、除去することにより簡便に露光を行うことが可能であり、図18(c)の具体例に比べて大幅にコストダウンをすることが可能になる。

【0112】尚、以上説明した実施形態では、半導体層208は、SOI技術を利用した単結晶シリコン膜からなるが、半導体層208は、例えばポリシリコン膜又はアモルファスシリコン膜等からなってもよい。即ち、半導体層208が、ポリシリコン膜又はアモルファスシリコン膜等からなっても、上述の如き窒化シリコン膜又は窒化酸化シリコン膜を含んでなる絶縁部により遮光膜の酸化を防止する作用効果及び窒化シリコン膜又は窒化酸化シリコン膜により遮光膜から半導体層への不純物拡散を防止する作用効果は、ほぼ同様に発揮される。そして、半導体層208をポリシリコン膜又はアモルファスシリコン膜等から構成すれば、トランジスタ特性が相対的に劣るものの、比較的低コストでTFTを構築できる。このため、装置仕様に鑑み、半導体層208をポリシリコン膜又はアモルファスシリコン膜等から構成して十分なトランジスタ特性が得られるのであれば、このように構成した方が無駄は少なく有利となる。

【0113】次に、以上の如く構成された遮光膜、TFT及び絶縁部等を備えてなる本発明の電気光学装置の画像表示領域における構造について図6から図8を参照し

て説明する。

【0114】図6は液晶装置の画素部（表示領域）を構成するマトリクス状に形成された複数の画素における各種素子、配線等の等価回路である。また、図7は、データ線、走査線、画素電極、遮光膜等が形成された素子基板の相隣接する複数の画素群を拡大して示す平面図である。また、図8は、図7のA-A'断面図である。

【0115】図6～図8において、TFT30（トランジスタ素子）は、例えば単結晶シリコン層からなる半導体層1aを備えて構成されている。また、図6～図8において、図1又は図5と同じ構成要素については同じ参照符号を付し、説明は省略する。尚、図6～図8においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならしめてある。

【0116】図6において、液晶装置の画素部を構成するマトリクス状に形成された複数の画素は、マトリクス状に複数形成された画素電極9aと画素電極9aを制御するためのTFT30とからなり、画像信号が供給されるデータ線6aが当該TFT30のソースに電気的に接続されている。データ線6aに書き込む画像信号S1、S2、...、Snは、この順に線順次に供給しても構わないし、相隣接する複数のデータ線6aに対して、グループ毎に供給するようにしても良い。また、TFT30のゲートに走査線3aが電気的に接続されており、所定のタイミングで、走査線3aにパルスの走査信号G1、G2、...、Gmを、この順に線順次で印加するように構成されている。

【0117】画素電極9aは、TFT30のドレインに電気的に接続されており、スイッチング素子であるTFT30を一定期間だけそのスイッチを閉じることにより、データ線6aから供給される画像信号S1、S2、...、Snを所定のタイミングで書き込む。画素電極9aを介して液晶に書き込まれた所定レベルの画像信号S1、S2、...、Snは、後述する対向基板に形成された後述する対向電極との間で一定期間保持される。

【0118】液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能にする。ノーマリーホワイトモードであれば、印加された電圧に応じて入射光に対する光透過率が減少され、ノーマリーブラックモードであれば、印加された電圧に応じて入射光に対する光透過率が増加され、全体として液晶装置から画像信号に応じたコントラストを持つ光が出射される。

【0119】ここで、保持された画像信号がリークすることを防止するために、画素電極9aと対向電極との間に形成される液晶容量と並列に蓄積容量70を付加する。例えば、画素電極9aの電圧は、データ線に電圧が印加された時間よりも3桁も長い時間だけ蓄積容量70により保持される。これにより、保持特性は更に改善さ

れ、コントラスト比の高い液晶装置を実現することができる。本実施形態では特に、このような蓄積容量70を形成するために、後述の如く走査線と同層、もしくは導電性の遮光膜を利用して低抵抗化された容量線3bを設けている。

【0120】次に、図7に基づいて、素子基板の画素部（表示領域）内の平面構造について詳細に説明する。図7に示すように、液晶装置の素子基板上の画素部内には、マトリクス状に複数の透明な画素電極9a（点線部9a'により輪郭が示されている）が設けられており、画素電極9aの縦横の境界に各々沿ってデータ線6a、走査線3a及び容量線3bが設けられている。データ線6aは、コンタクトホール5を介して単結晶シリコン層の半導体層1aのうち後述のソース領域に電気的に接続されており、画素電極9aは、コンタクトホール8を介して半導体層1aのうち後述のドレイン領域に電気的に接続されている。また、半導体層1aのうちチャネル領域（図中右上りの斜線の領域）に対向するように走査線3aが配置されており、走査線3aはゲート電極として機能する。

【0121】容量線3bは、走査線3aに沿ってほぼ直線状に伸びる本線部（即ち、平面的に見て、走査線3aに沿って形成された第1領域）と、データ線6aと交差する箇所からデータ線6aに沿って前段側（図中、上向き）に突出した突出部（即ち、平面的に見て、データ線6aに沿って延設された第2領域）とを有する。

【0122】そして、図中右上がりの斜線で示した領域には、複数の第1遮光膜11aが設けられている。より具体的には、第1遮光膜11aは夫々、画素部において半導体層1aのチャネル領域を含むTFTを素子基板の基板本体側から見て覆う位置に設けられており、更に、容量線3bの本線部に対向して走査線3aに沿って直線状に伸びる本線部と、データ線6aと交差する箇所からデータ線6aに沿って隣接する段側（即ち、図中下向き）に突出した突出部とを有する。第1遮光膜11aの各段（画素行）における下向きの突出部の先端は、データ線6a下において次段における容量線3bの上向きの突出部の先端と重ねられている。この重なった箇所には、第1遮光膜11aと容量線3bとを相互に電気的に接続するコンタクトホール13が設けられている。即ち、本実施形態では、第1遮光膜11aは、コンタクトホール13により前段あるいは後段の容量線3bに電気的に接続されている。次に、図8に基づいて、液晶装置の画素部内の断面構造について説明する。図8に示すように、液晶装置において、素子基板10と、これに対向配置される対向基板20との間に液晶層（電気光学材料層）50が挟持されている。

【0123】素子基板10は、シリコン、石英、ガラスなどの光透過性基板からなる基板本体（支持基板）10Aとその液晶層50側表面上に形成された画素電極9

a、画素スイッチング用 TFT (トランジスタ素子) 30、配向膜 16 を主体として構成されており、対向基板 20 は透明なガラスや石英などの光透過性基板からなる基板本体 20A とその液晶層 50 側表面上に形成された対向電極 (共通電極) 21 と配向膜 22 とを主体として構成されている。素子基板 10 の基板本体 10A の液晶層 50 側表面上には、画素電極 9a が設けられており、その液晶層 50 側には、ラビング処理等の所定の配向処理が施された配向膜 16 が設けられ、各画素電極 9a に隣接する位置に、各画素電極 9a をスイッチング制御する画素スイッチング用 TFT 30 が設けられている。画素電極 9a は、例えば ITO (インジウム・ティン・オキサイド) などの透明導電性薄膜からなり、配向膜 16 は、例えばポリイミドなどの有機薄膜からなる。

【0124】素子基板 10 の基板本体 10A の直上 (液晶層 50 側表面上) には、各画素スイッチング用 TFT 30 に対応する位置に、第 1 遮光膜 11a が設けられている。

【0125】本実施形態においては、このように素子基板 10 に第 1 遮光膜 11a が形成されているので、素子基板 10 側からの戻り光等が画素スイッチング用 TFT 30 のチャネル領域 1a' や LDD 領域 1b、1c に入射することを防ぐことができ、光電流の発生によりトランジスタ素子としての画素スイッチング用 TFT 30 の特性が劣化することを防止することができる。

【0126】また、第 1 遮光膜 11a の表面上には基板本体 10A の表面上の全面に渡って、画素スイッチング用 TFT 30 を構成する半導体層 1a を第 1 遮光膜 11a から電気的に絶縁するとともに、第 1 遮光膜 11a が形成された基板本体 10A の表面を平坦化するために、NSG (ノンドープトシリケートガラス)、PSG (リンシリケートガラス)、BSG (ボロンシリケートガラス)、BPSG (ボロンリンシリケートガラス) などのシリケートガラス膜、窒化シリコン膜、酸化シリコン膜等からなる第 1 層間絶縁膜 12 が設けられ、第 1 層間絶縁膜 12 の表面上には、さらに、第 1 の酸化シリコン膜 203B、窒化シリコン膜又は窒化酸化シリコン膜 204、第 2 の酸化シリコン膜 203A からなる絶縁部 205 が設けられ、絶縁部 205 の表面上に画素スイッチング用 TFT 30 が設けられている。TFT 30 は、絶縁部 205 の表面上に設けられ、単結晶シリコン層から形成された半導体層 1a を具備するものとなっている。

【0127】なお、絶縁部 205 の構造については、コンタクトホール 13 が開孔している点を除いて、上記の SOI 基板 200 及び素子基板 210 の絶縁部 205 の構造と同一であるので、説明を省略する。

【0128】他方、対向基板 20 の基板本体 20A の液晶層 50 側表面上には、その全面に渡って対向電極 (共通電極) 21 が設けられており、その液晶層 50 側には、ラビング処理等の所定の配向処理が施された配向膜

22 が設けられている。対向電極 21 は、例えば ITO などの透明導電性薄膜からなり、配向膜 22 は、例えばポリイミドなどの有機薄膜からなる。

【0129】また、基板本体 20A の液晶層 50 側表面上には、更に図 8 に示すように、各画素部の開口領域以外の領域に第 2 遮光膜 23 が設けられている。このように対向基板 20 側に第 2 遮光膜 23 を設けることにより、対向基板 20 側から入射光が画素スイッチング用 TFT 30 の半導体層 1a のチャネル領域 1a' や LDD (Lightly Doped Drain) 領域 1b 及び 1c に侵入することを防止することができるとともに、コントラストを向上させることができる。

【0130】このように構成され、画素電極 9a と対向電極 21 とが対向するように配置された素子基板 10 と対向基板 20 との間には、両基板の周縁部間に形成されたシール材 (図示略) により囲まれた空間に液晶 (電気光学材料) が封入され、液晶層 (電気光学材料層) 50 が形成されている。

【0131】液晶層 50 は、例えば一種又は数種類のネマティック液晶を混合した液晶からなっており、画素電極 9a からの電界が印加されていない状態で配向膜 16 及び 22 により所定の配向状態を採る。

【0132】また、シール材は、素子基板 10 及び対向基板 20 をそれらの周縁部で貼り合わせるための、例えば光硬化性接着剤や熱硬化性接着剤等の接着剤からなり、その内部には両基板間の距離を所定値とするためのグラスファイバー、ガラスビーズ等のスペーサが混入されている。

【0133】また、本実施形態では、ゲート絶縁膜 2 を走査線 3a に対向する位置から延設して誘電体膜として用い、半導体層 1a を延設して第 1 蓄積容量電極 1f とし、更にこれらに対向する容量線 3b の一部を第 2 蓄積容量電極とすることにより、蓄積容量 70 が構成されている。

【0134】より詳細には、半導体層 1a の高濃度ドレイン領域 1e が、データ線 6a 及び走査線 3a の下に延設されて、同じくデータ線 6a 及び走査線 3a に沿って伸びる容量線 3b 部分に絶縁膜 2 を介して対向配置されて、第 1 蓄積容量電極 (半導体層) 1f とされている。特に蓄積容量 70 の誘電体としての絶縁膜 2 は、高温酸化により単結晶シリコン層上に形成される TFT 30 のゲート絶縁膜 2 に他ならないので、薄く且つ高耐圧の絶縁膜とすることができ、蓄積容量 70 は比較的小面積で大容量の蓄積容量として構成できる。

【0135】更に、蓄積容量 70 においては、図 7 及び図 8 から分かるように、第 1 遮光膜 11a を、第 2 蓄積容量電極としての容量線 3b の反対側において第 1 蓄積容量電極 1f に第 1 層間絶縁膜 12 を介して第 3 蓄積容量電極として対向配置させることにより (図 8 の図示右側の蓄積容量 70 参照)、蓄積容量が更に付与されるよ

うに構成されている。即ち、本実施形態では、第1蓄積容量電極1fを挟んで両側に蓄積容量が付与されるダブル蓄積容量構造が構築されており、蓄積容量がより増加する。このような構造とすることにより、本実施形態の液晶装置が持つ、表示画像におけるフリッカや焼き付きを防止する機能を向上させることができる。

【0136】これらの結果、データ線6a下の領域及び走査線3aに沿って液晶のディスクリネーションが発生する領域（即ち、容量線3bが形成された領域）という開口領域を外れたスペースを有効に利用して、画素電極9aの蓄積容量を増やすことが出来る。

【0137】また、本実施形態では、第1遮光膜11a（及びこれに電気的に接続された容量線3b）は定電位源に電気的に接続されており、第1遮光膜11a及び容量線3bは、定電位とされている。従って、第1遮光膜11aに対向配置される画素スイッチング用TFT30に対し第1遮光膜11aの電位変動が悪影響を及ぼすことはない。また、容量線3bは、蓄積容量70の第2蓄積容量電極として良好に機能し得る。

【0138】また、図7及び図8に示したように、本実施形態では、素子基板10に第1遮光膜11aを設けるのに加えて、コンタクトホール13を介して第1遮光膜11aは、前段あるいは後段の容量線3bに電気的に接続するように構成されている。このような構成とした場合には、各第1遮光膜11aが、自段の容量線に電気的に接続される場合と比較して、画素部の開口領域の縁に沿って、データ線6aに重ねて容量線3b及び第1遮光膜11aが形成される領域の他の領域に対する段差が少なく済む。このように画素部の開口領域の縁に沿った段差が少ないと、当該段差に応じて引き起こされる液晶のディスクリネーション（配向不良）を低減できるので、画素部の開口領域を広げることが可能となる。

【0139】また、第1遮光膜11aは、前述のように直線状に伸びる本線部から突出した突出部にコンタクトホール13が開孔されている。ここで、コンタクトホール13の開孔箇所としては、縁に近い程、ストレスが縁から発散されやすくなる等の理由により、クラックが発生しにくい。従って、どれだけ突出部の先端に近づけてコンタクトホール13を開孔するかに応じて（好ましくは、マージンぎりぎりまで先端に近づけるかに応じて）、製造工程中に第1遮光膜11aにかかる応力が緩和されて、より効果的にクラックを防止し得、歩留まりを向上させることが可能となる。

【0140】また、容量線3bと走査線3aとは、同一のポリシリコン膜からなり、蓄積容量70の誘電体膜とTFT30のゲート絶縁膜2とは、同一の高温酸化膜からなり、第1蓄積容量電極1fと、TFT30のチャネル形成領域1aおよびソース領域1d、ドレイン領域1e等とは、同一の半導体層1aからなっている。このため、素子基板10の基板本体10Aの表面上に形成され

る積層構造を簡略化でき、更に、後述の液晶装置の製造方法において、同一の薄膜形成工程で容量線3b及び走査線3aを同時に形成でき、蓄積容量70の誘電体膜及びゲート絶縁膜2を同時に形成することができる。

【0141】容量線3bと第1遮光膜11aとは、第1層間絶縁膜12に開孔されたコンタクトホール13を介して確実に且つ高い信頼性を持って、両者は電気的に接続されているが、このようなコンタクトホール13は、画素毎に開孔されていても良いし、複数の画素からなる画素グループ毎に開孔されていても良い。

【0142】このような画素毎あるいは画素グループ毎に設けられるコンタクトホール13は、対向基板20側から見てデータ線6aの下に開孔されている。このため、コンタクトホール13は、画素部の開口領域から外れており、しかもTFT30や第1蓄積容量電極1fが形成されていない第1層間絶縁膜12の部分に設けられているので、画素部の有効利用を図りつつ、コンタクトホール13の形成によるTFT30や他の配線等の不良化を防ぐことができる。

【0143】また、図3において、画素スイッチング用TFT30は、LDD (Lightly Doped Drain) 構造を有しており、走査線3a、走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜2、データ線6a、半導体層1aの低濃度ソース領域（ソース側LDD領域）1b及び低濃度ドレイン領域（ドレイン側LDD領域）1c、半導体層1aの高濃度ソース領域1d並びに高濃度ドレイン領域1eを備えている。

【0144】高濃度ドレイン領域1eには、複数の画素電極9aのうちの対応する一つが接続されている。ソース領域1b及び1d並びにドレイン領域1c及び1eは後述するように、半導体層1aに対し、N型又はP型のチャネルを形成するかに応じて所定濃度のN型用又はP型用のドーパントをドーピングすることにより形成されている。N型チャネルのTFTは、動作速度が速いという利点があり、画素のスイッチング素子である画素スイッチング用TFT30として用いられることが多い。

【0145】データ線6aは、Al等の金属膜や金属シリサイド等の合金膜などの遮光性の薄膜から構成されている。また、走査線3a、ゲート絶縁膜2及び第1層間絶縁膜12の上には、高濃度ソース領域1dへ通じるコンタクトホール5及び高濃度ドレイン領域1eへ通じるコンタクトホール8が各々形成された第2層間絶縁膜4が形成されている。このソース領域1bへのコンタクトホール5を介して、データ線6aは高濃度ソース領域1dに電気的に接続されている。

【0146】更に、データ線6a及び第2層間絶縁膜4の上には、高濃度ドレイン領域1eへのコンタクトホール8が形成された第3層間絶縁膜7が形成されている。

この高濃度ドレイン領域 1 e へのコンタクトホール 8 を介して、画素電極 9 a は高濃度ドレイン領域 1 e に電気的に接続されている。前述の画素電極 9 a は、このように構成された第 3 層間絶縁膜 7 の上面に設けられている。尚、画素電極 9 a と高濃度ドレイン領域 1 e とは、データ線 6 a と同一の A 1 膜や走査線 3 b と同一のポリシリコン膜を中継して電気的に接続するようにしてもよい。

【0147】画素スイッチング用 TFT 30 は、好ましくは上述のように LDD 構造を持つが、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c に不純物イオンの打ち込みを行わないオフセット構造を有していてもよいし、ゲート電極（走査線 3 a）をマスクとして高濃度で不純物イオンを打ち込み、自己整合的に高濃度ソース及びドレイン領域を形成するセルフアライン型の TFT であってもよい。

【0148】また、画素スイッチング用 TFT 30 のゲート電極（走査線 3 a）をソースドレイン領域 1 b 及び 1 e 間に 1 個のみ配置したシングルゲート構造としたが、これらの間に 2 個以上のゲート電極を配置してもよい。この際、各々のゲート電極には同一の信号が印加されるようにする。このようにダブルゲート或いはトリプルゲート以上で TFT を構成すれば、チャネルとソースドレイン領域接合部のリーク電流を防止でき、オフ時の電流を低減することができる。これらのゲート電極の少なくとも 1 個を LDD 構造或いはオフセット構造にすれば、更にオフ電流を低減でき、安定したスイッチング素子を得ることができる。

【0149】ここで、一般には、半導体層 1 a のチャネル領域 1 a'、低濃度ソース領域 1 b 及び低濃度ドレイン領域 1 c 等を構成する単結晶シリコン層は、光が入射するとシリコンが有する光電変換効果により光電流が発生してしまい画素スイッチング用 TFT 30 のトランジスタ特性が劣化するが、本実施形態では、走査線 3 a を上側から覆うようにデータ線 6 a が A 1 等の遮光性の金属薄膜から形成されているので、少なくとも半導体層 1 a のチャネル領域 1 a' 及び LDD 領域 1 b、1 c への入射光の入射を防止することが出来る。

【0150】また、前述のように、画素スイッチング用 TFT 30 の下側（基板本体 10 A 側）には、第 1 遮光膜 11 a が設けられているので、少なくとも半導体層 1 a のチャネル領域 1 a' 及び LDD 領域 1 b、1 c への戻り光の入射を防止することが出来る。

【0151】尚、本実施形態においては、相隣接する前段あるいは後段の画素に設けられた容量線 3 b と第 1 遮光膜 11 a とを接続しているため、最上段あるいは最下段の画素に対して第 1 遮光膜 11 a に定電位を供給するための容量線 3 b が必要となる。そこで、容量線 3 b の数を垂直画素数に対して 1 本余分に設けておくようにすると良い。

【0152】（電気光学装置の製造方法）次に、上記構造を有する液晶装置の製造方法について説明する。

【0153】はじめに、図 9～図 14 に基づいて、本発明に係る実施形態の素子基板の製造方法として、素子基板 10 の製造方法について説明する。なお、図 9～図 14 は各工程における素子基板の一部分を、図 8 と同様に、図 7 の A-A' 断面に対応させて示す工程図である。また、図 10～図 14 においては、図面を簡略化するために、絶縁部 205 の図示を省略している。はじめに、シリコン基板、石英基板、ガラス基板等の基板本体（支持基板）10 A を用意する。ここで、好ましくは N<sub>2</sub>（窒素）等の不活性ガス雰囲気下、約 850～1300℃、より好ましくは 1000℃ の高温でアニール処理し、後に実施される高温プロセスにおいて基板本体 10 A に生じる歪みが少なくなるように前処理しておく。即ち、製造プロセスにおいて処理される最高温に合わせて、事前に基板本体 10 A を同じ温度かそれ以上の温度で熱処理しておく。

【0154】このように処理された基板本体 10 A の全面に、図 9（a）に示すように、Ti、Cr、W、Ta、Mo 及び Pd 等の金属や金属シリサイド等の金属合金膜を、スパッタリング法などにより、100～500 nm 程度の膜厚、好ましくは約 200 nm の膜厚の遮光層 11 を形成する。

【0155】次に、図 9（b）に示すように、フォトリソグラフィにより第 1 遮光膜 11 a のパターン（図 7 参照）に対応するフォトレジスト 207 を形成する。

【0156】次に、図 9（c）に示すように、フォトレジスト 207 を介して遮光層 11 に対しエッチングを行うことにより、図 7 に示したようなパターンの第 1 遮光膜 11 a を形成する。

【0157】次に、図 9（d）に示すように、第 1 遮光膜 11 a の上に、例えば、常圧又は減圧 CVD 法等により TEOS（テトラ・エチル・オルソ・シリケート）ガス、TEB（テトラ・エチル・ボートレート）ガス、TMOP（テトラ・メチル・オキシ・フォスレート）ガス等を用いて、NSG、PSG、BSG、BPSG などのシリケートガラス膜、窒化シリコン膜、酸化シリコン膜等からなる第 1 層間絶縁膜 12 を形成する。この第 1 層間絶縁膜 12 の膜厚は、例えば、約 400～1000 nm、より好ましくは 800 nm 程度とする。

【0158】次に、図 9（e）に示すように、第 1 層間絶縁膜 12 の表面全体を、CMP（化学的機械研磨）法などにより研磨して平坦化する。

【0159】次に、図 9（f）に示すように、表面が平坦化された第 1 層間絶縁膜 12 を形成した図 9（e）に示す基板本体 10 A と、表面に第 1 の酸化シリコン膜 203 B、窒化シリコン膜又は窒化酸化シリコン膜 204、第 2 の酸化シリコン膜 203 A からなる絶縁部 205 を形成した単結晶シリコン基板 202 A との貼り合わ



せを行う。次いで、図9(g)に示すように、基板本体10Aの表面上に薄膜の単結晶シリコン層202を残して大部分の単結晶シリコン基板202Aの剥離を行う。

【0160】なお、単結晶シリコン基板202Aの表面に絶縁部205を形成する方法、表面に絶縁部205を形成した単結晶シリコン基板202Aと基板本体10Aとの貼り合わせ方法、及び単結晶シリコン基板202Aの剥離方法については、上記のSOI基板200の製造方法において詳細に説明したので、説明を省略する。

【0161】次に、図9(h)に示すように、単結晶シリコン層202をフォトリソグラフィ工程、エッチング工程等を経て所定のパターンに形成することにより、図7に示した如き所定パターンの半導体層1aを形成する。即ち、特にデータ線6a下で容量線3bが形成される領域及び走査線3aに沿って容量線3bが形成される領域には、画素スイッチング用TFT30を構成する半導体層1aから延設された第1蓄積容量電極1fを形成する。

【0162】次に、図9(i)に示すように、画素スイッチング用TFT30を構成する半導体層1aと共に第1蓄積容量電極1fを約850~1300℃の温度、好ましくは約1000℃の温度で72分程度熱酸化することにより、約60nmの比較的薄い厚さの熱酸化シリコン膜を形成し、画素スイッチング用TFT30のゲート絶縁膜2と共に容量形成用のゲート絶縁膜2を形成する。この結果、半導体層1a及び第1蓄積容量電極1fの厚さは、約30~170nmの厚さ、ゲート絶縁膜2の厚さは、約60nmの厚さとなる。

【0163】次に、図10(a)に示すように、Nチャネルの半導体層1aに対応する位置にレジスト膜301を形成し、Pチャネルの半導体層1aにPなどのV族元素のドーパント302を低濃度で(例えば、Pイオンを70keVの加速電圧、 $2 \times 10^{11}/\text{cm}^2$ のドーパント量にて)ドーピングする。

【0164】次に、図10(b)に示すように、図示を省略するPチャネルの半導体層1aに対応する位置にレジスト膜を形成し、Nチャネルの半導体層1aにBなどのIII族元素のドーパント303を低濃度で(例えば、Bイオンを35keVの加速電圧、 $1 \times 10^{12}/\text{cm}^2$ のドーパント量にて)ドーピングする。

【0165】次に、図10(c)に示すように、Pチャネル、Nチャネル毎に各半導体層1aのチャネル領域1a'の端部を除く基板10の表面にレジスト膜305を形成し、Pチャネルについて、図10(a)に示した工程の約1~10倍のドーパント量のPなどのV族元素のドーパント306、Nチャネルについて図10(b)に示した工程の約1~10倍のドーパント量のBなどのIII族元素のドーパント306をドーピングする。

【0166】次に、図10(d)に示すように、半導体層1aを延設してなる第1蓄積容量電極1fを低抵抗化

するため、基板本体10Aの表面の走査線3a(ゲート電極)に対応する部分にレジスト膜307(走査線3aよりも幅が広い)を形成し、これをマスクとしてその上からPなどのV族元素のドーパント308を低濃度で(例えば、Pイオンを70keVの加速電圧、 $3 \times 10^{14}/\text{cm}^2$ のドーパント量にて)ドーピングする。

【0167】次に、図11(a)に示すように、第1層間絶縁膜12及び絶縁部205(図示略)に第1遮光膜11aに至るコンタクトホール13を反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより或いはウエットエッチングにより形成する。この際、反応性エッチング、反応性イオンビームエッチングのような異方性エッチングにより、コンタクトホール13等を開孔した方が、開孔形状をマスク形状とほぼ同じにできるという利点がある。但し、ドライエッチングとウエットエッチングとを組み合わせると開孔すれば、これらのコンタクトホール13等をテーパー状にできるので、配線接続時の断線を防止できるという利点を得られる。

【0168】次に、図11(b)に示すように、減圧CVD法等によりポリシリコン層3を350nm程度の厚さで堆積した後、リン(P)を熱拡散し、ポリシリコン膜3を導電化する。又は、Pイオンをポリシリコン膜3の成膜と同時に導入したドーパントシリコン膜を用いてもよい。これにより、ポリシリコン層3の導電性を高めることができる。

【0169】次に、図11(c)に示すように、レジストマスクを用いたフォトリソグラフィ工程、エッチング工程等により、図7に示した如き所定パターンの走査線3aと共に容量線3bを形成する。尚、この後、基板本体10Aの裏面に残存するポリシリコンを基板本体10Aの表面をレジスト膜で覆ってエッチングにより除去する。

【0170】次に、図11(d)に示すように、半導体層1aにPチャネルのLDD領域を形成するために、Nチャネルの半導体層1aに対応する位置をレジスト膜309で覆い、走査線3a(ゲート電極)を拡散マスクとして、まずBなどのIII族元素のドーパント310を低濃度で(例えば、BF<sub>2</sub>イオンを90keVの加速電圧、 $3 \times 10^{13}/\text{cm}^2$ のドーパント量にて)ドーピングし、Pチャネルの低濃度ソース領域1b及び低濃度ドレイン領域1cを形成する。

【0171】続いて、図11(e)に示すように、半導体層1aにPチャネルの高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、Nチャネルの半導体層1aに対応する位置をレジスト膜309で覆った状態で、かつ、図示はしていないが走査線3aよりも幅の広いマスクでレジスト層をPチャネルに対応する走査線3a上に形成した状態、同じくBなどのIII族元素のドーパント311を高濃度で(例えば、BF<sub>2</sub>イオンを

90 keVの加速電圧、 $2 \times 10^{15}/\text{cm}^2$ のドーズ量にて) ドープする。

【0172】次に、図12(a)に示すように、半導体層1aにNチャネルのLDD領域を形成するために、Pチャネルの半導体層1aに対応する位置をレジスト膜(図示せず)で覆い、走査線3a(ゲート電極)を拡散マスクとして、PなどのV族元素のドーパント60を低濃度で(例えば、Pイオンを70 keVの加速電圧、 $6 \times 10^{12}/\text{cm}^2$ のドーズ量にて) ドープし、Nチャネルの低濃度ソース領域1b及び低濃度ドレイン領域1cを形成する。

【0173】続いて、図12(b)に示すように、半導体層1aにNチャネルの高濃度ソース領域1d及び高濃度ドレイン領域1eを形成するために、走査線3aよりも幅の広いマスクでレジスト62をNチャネルに対応する走査線3a上に形成した後、同じくPなどのV族元素のドーパント61を高濃度で(例えば、Pイオンを70 keVの加速電圧、 $4 \times 10^{15}/\text{cm}^2$ のドーズ量にて) ドープする。

【0174】次に、図12(c)に示すように、画素スイッチング用TFT30における走査線3aと共に容量線3b及び走査線3aを覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜、酸化シリコン膜等からなる第2層間絶縁膜4を形成する。第2層間絶縁膜4の膜厚は、約500～1500 nmが好ましく、更に800 nmがより好ましい。

【0175】この後、高濃度ソース領域1d及び高濃度ドレイン領域1eを活性化するために約850℃のアニール処理を20分程度行う。

【0176】次に、図12(d)に示すように、データ線31に対するコンタクトホール5を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより或いはウェットエッチングにより形成する。また、走査線3aや容量線3bを図示しない配線と接続するためのコンタクトホールも、コンタクトホール5と同一の工程により第2層間絶縁膜4に開孔する。

【0177】次に、図13(a)に示すように、第2層間絶縁膜4の上に、スパッタ処理等により、遮光性のAl等の低抵抗金属や金属シリサイド等を金属膜6として、約100～700 nmの厚さ、好ましくは約350 nmに堆積し、更に図13(b)に示すように、フォトリソグラフィ工程、エッチング工程等により、データ線6aを形成する。

【0178】次に、図13(c)に示すように、データ線6a上を覆うように、例えば、常圧又は減圧CVD法やTEOSガス等を用いて、NSG、PSG、BSG、BPSGなどのシリケートガラス膜、窒化シリコン膜、酸化シリコン膜等からなる第3層間絶縁膜7を形成す

る。第3層間絶縁膜7の膜厚は、約500～1500 nmが好ましく、更に800 nmがより好ましい。

【0179】次に、図14(a)に示すように、画素スイッチング用TFT30において、画素電極9aと高濃度ドレイン領域1eとを電気的に接続するためのコンタクトホール8を、反応性エッチング、反応性イオンビームエッチング等のドライエッチングにより形成する。

【0180】次に、図14(b)に示すように、第3層間絶縁膜7の上に、スパッタ処理等により、ITO等の透明導電性薄膜9を、約50～200 nmの厚さに堆積し、更に図14(c)に示すように、フォトリソグラフィ工程、エッチング工程等により、画素電極9aを形成する。尚、本実施形態の液晶装置が反射型液晶装置である場合には、Al等の反射率の高い不透明な材料から画素電極9aを形成してもよい。

【0181】続いて、画素電極9aの上にポリイミド系の配向膜の塗布液を塗布した後、所定のプレティルト角を持つように、且つ所定方向にラビング処理を施すこと等により、配向膜16(図8参照)が形成される。

【0182】以上のようにして、素子基板10が製造される。

【0183】本実施形態の素子基板の製造方法によれば、表面に窒化シリコン膜又は窒化酸化シリコン膜204を形成した単結晶シリコン基板202Aと基板本体10Aとを貼り合わせることにより、窒化シリコン膜又は窒化酸化シリコン膜204を基板本体10Aと単結晶シリコン基板202Aとの貼り合わせ面よりも半導体層1a(TFT30)側に位置させることができるので、基板本体10Aに含有された不純物、及び基板本体10Aと単結晶シリコン基板202Aとの貼り合わせ面に吸着した不純物が半導体層1a(TFT30)側に拡散することを完全に防止することができる。

【0184】また、本実施形態の素子基板の製造方法により製造された素子基板10は、基板本体10Aに含有された不純物、及び基板本体10Aと単結晶シリコン基板202Aとの貼り合わせ面に吸着した不純物が半導体層1a(TFT30)側へ拡散することを完全に防止することができるので、TFT30の特性の劣化を防止することができるものとなる。

【0185】そして特に本実施形態の素子基板の製造方法により製造された素子基板10は、酸素や水分等の酸化種或いは不純物に対して低透過率の緻密な膜である窒化シリコン膜又は窒化酸化シリコン膜204が、高融点金属等からなる第1遮光膜11aに酸化種が拡散するのを効果的に阻止し得、同時に、第1遮光膜11aから半導体層1aへ不純物が拡散するのを効果的に阻止し得る。

【0186】次に、対向基板20の製造方法及び素子基板10と対向基板20とから液晶装置を製造する方法について説明する。



【0187】図8に示した対向基板20については、基板本体20Aとしてガラス基板等の光透過性基板を用意し、基板本体20Aの表面上に、第2遮光膜23及び後述する周辺見切りとしての第2遮光膜を形成する。第2遮光膜23及び後述する周辺見切りとしての第2遮光膜は、例えばCr、Ni、Alなどの金属材料をスパッタリングした後、フォトリソグラフィ工程、エッチング工程を経て形成される。尚、これらの第2遮光膜は、上記の金属材料の他、カーボンやTiなどをフォトレジストに分散させた樹脂ブラックなどの材料から形成してもよい。

【0188】その後、基板本体20Aの表面上の全面にスパッタリング法などにより、ITO等の透明導電性薄膜を、約50～200nmの厚さに堆積することにより、対向電極21を形成する。更に、対向電極21の表面上の全面にポリイミドなどの配向膜の塗布液を塗布した後、所定のプレティルト角を持つように、且つ所定方向にラビング処理を施すこと等により、配向膜22（図8参照）を形成する。以上のようにして、対向基板20が製造される。

【0189】最後に、上述のようにして製造された素子基板10と対向基板20とを、配向膜16及び22が互いに対向するようにシール材により貼り合わせ、真空吸引法などの方法により、両基板間の空間に、例えば複数種類のネマティック液晶を混合してなる液晶を吸引して、所定の厚みを有する液晶層50を形成することにより、上記構造の液晶装置が製造される。

【0190】（液晶装置の全体構成）上記のように構成された本実施形態の液晶装置（電気光学装置）の全体構成を図15及び図16を参照して説明する。尚、図15は、素子基板10を対向基板20側から見た平面図であり、図16は、対向基板20を含めて示す図15のH-H'断面図である。

【0191】図15において、素子基板10の表面上には、シール材52がその縁に沿って設けられており、図16に示すように、図15に示したシール材52とほぼ同じ輪郭を持つ対向基板20が当該シール材52により素子基板10に固着されている。

【0192】図15に示すように、対向基板20の表面上にはシール材52の内側に並行させて、例えば第2遮光膜23と同じ或いは異なる材料から成る周辺見切り或いは額縁としての第2遮光膜53が設けられている。

【0193】また、素子基板10において、シール材52の外側の領域には、データ線駆動回路101及び実装端子102が素子基板10の一辺に沿って設けられており、走査線駆動回路104が、この一辺に隣接する2辺に沿って設けられている。走査線3aに供給される走査信号遅延が問題にならない場合には、走査線駆動回路104は片側だけでも良いことは言うまでもない。

【0194】また、データ線駆動回路101を表示領域

（画素部）の辺に沿って両側に配列してもよい。例えば奇数列のデータ線6aは表示領域の一方の辺に沿って配設されたデータ線駆動回路から画像信号を供給し、偶数列のデータ線6aは表示領域の反対側の辺に沿って配設されたデータ線駆動回路から画像信号を供給するようにしてもよい。この様にデータ線6aを櫛歯状に駆動するようにすれば、データ線駆動回路の占有面積を拡張することができるため、複雑な回路を構成することが可能となる。

【0195】更に素子基板10の残る一辺には、表示領域の両側に設けられた走査線駆動回路104間をつなぐための複数の配線105が設けられており、更に、周辺見切りとしての第2遮光膜53の下に隠れてプリチャージ回路を設けてもよい。また、素子基板10と対向基板20間のコーナ部の少なくとも1箇所においては、素子基板10と対向基板20との間で電氣的導通をとるための導通材106が設けられている。

【0196】また、素子基板10の表面上には更に、製造途中や出荷時の液晶装置の品質、欠陥等を検査するための検査回路等を形成してもよい。また、データ線駆動回路101及び走査線駆動回路104を素子基板10の表面上に設ける代わりに、例えばTAB（テープオートメイトッドボンディング基板）上に実装された駆動用LSIに、素子基板10の周辺領域に設けられた異方性導電フィルムを介して電氣的及び機械的に接続するようにしてもよい。

【0197】また、対向基板20の光が入射する側及び素子基板10の光が出射する側には各々、例えば、TN（Twisted Nematic）モード、STN（Super Twisted Nematic）モード、VA（Vertically Aligned）モード、PDL C（Polymer Dispersed Liquid Crystal）モード等の動作モードや、ノーマリーホワイトモード／ノーマリーブラックモードの別に応じて、偏光フィルム、位相差フィルム、偏光手段などが所定方向で配置される。

【0198】本実施形態の液晶装置がカラー液晶プロジェクト（投射型表示装置）に適用される場合には、3枚の液晶装置がRGB用のライトバルブとして各々用いられ、各パネルには各々RGB色分解用のダイクロイックミラーを介して分解された各色の光が投射光として各々入射されることになる。従って、その場合には上記実施形態で示したように、対向基板20に、カラーフィルタは設けられていない。

【0199】しかしながら、対向基板20の基板本体20Aの液晶層50側表面上において、第2遮光膜23の形成されていない画素電極9aに対向する所定領域にRGBのカラーフィルタをその保護膜と共に形成してもよい。このような構成とすれば、液晶プロジェクト以外の直視型や反射型のカラー液晶テレビなどのカラー液晶装置に、上記実施形態の液晶装置を適用することができ

る。

【0200】更に、対向基板20の表面上に1画素に1個対応するようにマイクロレンズを形成してもよい。このようにすれば、入射光の集光効率を向上することで、明るい液晶装置が実現できる。更にまた、対向基板20の表面上に、何層もの屈折率の相違する干渉層を堆積することで、光の干渉を利用して、RGB色を作り出すダイクロイックフィルタを形成してもよい。このダイクロイックフィルタ付き対向基板によれば、より明るいカラー液晶装置が実現できる。

【0201】なお、本実施形態における液晶装置では、入射光を対向基板20側から入射させることとしたが、素子基板10に第1遮光膜11aを設ける構成としているので、素子基板10側から入射光を入射させ、対向基板20側から出射するようにしても良い。即ち、このように液晶装置を液晶プロジェクトに取り付けても、半導体層1aのチャネル領域1a'及びLDD領域1b、1cに光が入射することを防ぐことが出来、高画質の画像を表示することが可能である。

【0202】また、本実施形態の液晶装置は、本実施形態の素子基板の製造方法により製造された素子基板10を備えたものである。基板本体10Aに含有された不純物、及び基板本体10Aと単結晶シリコン基板202Aとの貼り合わせ面に吸着した不純物が半導体層1a(TFT30)側へ拡散することを完全に防止することができるので、TFT(トランジスタ素子)30の特性の劣化を防止することができ、性能の優れたものとなる。

【0203】そして特に本実施形態の液晶装置では、窒化シリコン膜又は窒化酸化シリコン膜204が、第1遮光膜11aに酸化種が拡散するのを効果的に阻止し得、同時に、第1遮光膜11aから半導体層1aへ不純物が拡散するのを効果的に阻止し得るので、長期に亘って戻り光に対する遮光性能を高レベルに維持でき、TFT30の特性を維持できる。

【0204】(液晶装置の電気的構成) 次に、液晶装置(電気光学装置)の電気的構成について説明する。液晶装置は、素子基板と対向基板とを互いに電極形成面を対向して貼付した構成となっている。このうち、素子基板にあっては、図21においてX方向に沿って平行に複数本の走査線3aが配列して形成され、また、これと直交するY方向に沿って平行に複数本のデータ線6aが形成されている。これらの走査線3aとデータ線6aとの各交点においては、TFT30のゲート電極が走査線3aに接続される一方、TFT30のソース電極がデータ線6aに接続されるとともに、TFT30のドレイン電極が画素電極9aに接続されている。そして、各画素は、画素電極9aと、対向基板に形成された共通電極と、これら両電極間に挟持された液晶とによって構成される結果、走査線3aとデータ線6aとの各交点に対応して、マトリクス状に配列することとなる。なお、このほか

に、各画素毎に、蓄積容量(図示省略)を、電気的にみて画素電極9aと共通電極とに挟持された液晶に対して並列に形成している。

【0205】さて、駆動回路110は、ダミー回路120、データ線駆動回路101、サンプリング回路140および走査線駆動回路104からなり、素子基板における対向面にあつて、表示領域の周辺部に形成されるものである。これらの回路の能動素子は、いずれもpチャネル型TFTおよびnチャネル型TFTの組み合わせにより形成される。駆動回路110は、画素をスイッチングするTFT30と共通の製造プロセスで形成する。これにより、集積化や、製造コスト、素子の均一性などの点において有利となる。

【0206】ここで、駆動回路110のうち、ダミー回路120の構成は、データ線駆動回路101とサンプリング回路140の一部を模擬したものである。ダミー回路120は、画像信号VID1~VID6とサンプリング信号S1~Smの位相差を検出するために設けられている。

【0207】データ線駆動回路101は、シフトレジスタを有し、タイミングジェネレータ150からのXクロック信号CLXや、その反転Xクロック信号CLXINVに基づいて、サンプリング信号S1~Smを順次出力するものである。

【0208】サンプリング回路140は、6本のデータ線6aを1群(以下、ブロックと称する)とし、これらのブロックに属するデータ線6aに対し、サンプリング信号S1~Smにしたがって画像信号VID1~VID6をそれぞれサンプリングして供給するものである。詳細には、サンプリング回路140には、nチャネル型のTFTからなるスイッチ141が各データ線114の一端に設けられるとともに、各スイッチ141のソース電極は、画像信号VID1~VID6のいずれかが供給される信号線に接続され、また、各スイッチ141のドレイン電極は1本のデータ線6aに接続されている。さらに、各群に属するデータ線6aに接続された各スイッチ141のゲート電極は、その群に対応してサンプリング信号S1~Smが供給される画像信号線のいずれかに接続されている。この例では、画像信号VID1~VID6は同時に供給され、サンプリング信号S1により同時にサンプリングされることとなる。

【0209】ところで、TFTの応答速度は、温度や累積使用時間によって変化する。したがって、画像信号VID1~VID6を基準としてサンプリング信号S1~Smの位相は、進んだり遅れたりする。位相ズレが著しいと、画像信号VID1~VID6のレベルが変化するタイミングに跨ってサンプリング信号S1~Smがアクティブになることがある。すると、本来あるブロックに供給すべき画像信号VID1~VID6が隣接するブロックに供給すべき画像信号に混入してしまい画質劣化を

引き起こす。このような不都合を防止すべく、画像信号VID1~VID6とサンプリング信号S1~Smとの位相関係を上述したダミー回路120を用いて検出し、検出結果に基づいて画像信号VID1~VID6に対するサンプリング信号S1~Smの位相を調整している。

【0210】走査線駆動回路104は、シフトレジスタを有し、タイミングジェネレータ150からのYクロック信号CLYや、その反転Yクロック信号CLYINV、Y転送X転送開始パルスDX等に基づいて、走査信号を各走査線3aに対して順次出力するものである。なお、Y転送X転送開始パルスDXは、各フィールド期間の開始において所定時間だけアクティブとなる。

【0211】さらに、液晶装置には、モニタ信号線が形成されている。モニタ信号線は、画像信号VID1~VID6を供給する6本の画像信号線と平行に配線されており、その線幅は画像信号線と等しい。ところで、画像信号線は、分布抵抗と容量成分とを有するので等価的に梯子型のローパスフィルタを形成する。このため、画像信号VID1~VID6が液晶装置の左端にある入力端子に供給されてから右端に至るまでには、遅延時間が存在する。モニタ信号線は画像信号線と同様に構成されているから、入力モニタ信号M1がモニタ信号線に供給されてからダミー回路120に至るまでの時間は、上述した遅延時間とほぼ等しい。

【0212】(データ線駆動回路) 次に、周辺回路の一例としてデータ線駆動回路101について説明する。図22はデータ線駆動回路101の構成を示す回路図である。シフトレジスタ1350は、単位回路R1~Rm+2をm+2(mは自然数)段縦続接続したものであり、水平走査期間の最初に供給される開始パルスDXを、Xクロック信号CLXおよび反転Xクロック信号CLXINVにしたがって、前段(左側)の単位回路から後段(右側)の単位回路へ順次シフトして出力する。なお、開始パルスDXは、各水平走査期間の開始において所定時間だけアクティブとなる。

【0213】これら各单位回路R1~Rm+2のうち、奇数段の単位回路R1、R3、...、Rm+2は、Xクロック信号CLXがHレベルの場合(反転Xクロック信号CLXINVがLレベルの場合)に入力信号を反転するクロックドインバータ1352と、クロックドインバータ1352による反転信号を再反転するインバータ1354と、Xクロック信号CLXがLレベルの場合(反転Yクロック信号CLYINVがHレベルの場合)に入力信号を反転するクロックドインバータ1356とを備える。

【0214】一方、各单位回路R1~Rm+2のうち、偶数段の単位回路R2、R4、...、Rm+1は、基本的に、奇数段の単位回路R1、R3、...、Rm+2と同様な構成であるが、クロックドインバータ1352は、Xクロック信号CLX

がLレベルの場合に入力信号を反転し、クロックドインバータ1356は、Xクロック信号CLXがHレベルの場合に入力信号を反転する点において異なっている。

【0215】次に、図23において、NAND回路1376、インバータ1378、AND回路1379は、それぞれシフトレジスタ1350の第3段から第m+2段に対応して設けられるものであり、いずれもpチャネル型TFTおよびnチャネル型TFTを組み合わせて相補型で構成されている。

【0216】このうち、図22において、左からi番目のNAND回路1376は、シフトレジスタ1350において第i-1段に位置する単位回路の出力信号と、第i段に位置する単位回路の出力信号との論理積を反転するものである。また、各段のインバータ1378は、対応するNAND回路1378の出力信号を反転する。さらに、AND回路1379は、対応するインバータ1378の出力信号とイネーブル信号ENとの論理積を、サンプリング信号S1、S2、...、Smとして出力する構成となっている。

【0217】(周辺回路を構成する半導体装置) 次に本発明による周辺回路を構成する半導体装置に係る実施例について、図23から図28を参照して説明する。ここに、図23及び図25から図28は夫々、半導体装置の各種具体例を示す平面図である。また、図24は、図23に示したインバータ回路におけるチャネル領域を上下から挟持するダブルゲート構造を示す断面図である。

【0218】本実施例の半導体装置は、SOI基板上にトランジスタ素子が形成されてなる。そして、図1に示したSOI基板の場合と同様に、支持基板と単結晶シリコン層とを具備し、支持基板と単結晶シリコン層との間に、単層又は多層構造を有する絶縁部が形成されている。特にこのような構造に加えて、本実施例では、絶縁部の支持基板側(即ち、単結晶シリコン層とは反対側)に、ゲート電極又はゲート線として機能する導電部材を備える。そして、この絶縁部は、ゲート絶縁膜として機能するように構成されている。

【0219】図23において、インバータ回路400は、立体的なダブルゲート構造を有する。インバータ回路400は、同一の導電層(例えば、アルミニウム層)から形成されている、入力線401、出力線402、VDD電位線(高電位線)403及びVSS電位線(低電位線)404を備える。更に、半導体層として、SOI構造をなす単結晶シリコン層から形成されたPチャネル領域411とNチャネル領域412とを備える。そして、Pチャネル領域411とNチャネル領域412との上側には、ゲート絶縁膜を介して上側ゲート電極421が形成されており、Pチャネル領域411とNチャネル領域412との下側には、ゲート絶縁膜を介して下側ゲート電極422が形成されている。

【0220】即ち、図24に示すように、支持基板20

1 上に、下側ゲート電極 4 2 2 が、例えばポリシリコンもしくはタングステンシリサイド等の単体もしくはこれらを積層したもの等の高融点金属を含む膜から形成されており、その上に絶縁部 2 0 5 を介して P チャネル領域 4 1 1 又は N チャネル領域 4 1 2 が積層されており、絶縁部 2 0 5 の一部がゲート絶縁膜として機能する。他方、P チャネル領域 4 1 1 又は N チャネル領域 4 1 2 上には、ゲート絶縁膜 4 3 1 を介して上側ゲート電極 4 2 1 が、例えばタングステンシリサイドから形成されている。上側ゲート電極 4 2 1 と下側ゲート電極 4 2 2 とは、コンタクトホール 4 4 1 を介して共通の入力線 4 0 1 に接続されている。P チャネル型 TFT 4 5 1 のソースには、コンタクトホール 4 4 2 を介して VDD 電位線 4 0 3 が接続されており、N チャネル型 TFT 4 5 2 のソースには、コンタクトホール 4 4 3 を介して VSS 電位線 4 0 4 が接続されている。そして、P チャネル型 TFT 4 5 1 と N チャネル型 TFT 4 5 2 とのドレインは夫々、コンタクトホール 4 4 4 を介して共通の出力線 4 0 2 に接続される。

【0221】以上により、P チャネル型 TFT 4 5 1 と N チャネル型 TFT 4 5 2 とを組み合わせるインバータ回路 4 0 0 が構成されている。本実施例のインバータ回路 4 0 0 によれば、支持基板 2 0 1 に含有された不純物、及び支持基板 2 0 1 の貼り合わせ面に吸着した不純物が TFT 側へ拡散することを、絶縁部 2 0 5 によって防止することができるので、TFT の特性の劣化を防止できる。また、導電部材の一例たる下側ゲート電極 4 2 2 から半導体層側への不純物の拡散を、絶縁部 2 0 5 によって効果的に防止できる。加えて、下側ゲート電極 4 2 2 は、遮光膜としても機能し、TFT における光リーク電流の発生を効果的に防止できる。

【0222】図 25 において、NAND 回路 5 0 0 は、例えば、同一の Al 層から形成されている、入力線 5 0 1 a 及び 5 0 1 b、出力線 5 0 2、VDD 電位線 5 0 3 及び VSS 電位線 5 0 4 を備える。NAND 回路 5 0 0 における積層構造は、図 24 に示したインバータ回路 4 0 0 と同様に、支持基板上に、絶縁部を介して半導体層が積層されており、その上には、ゲート絶縁膜を介して上側ゲート電極 5 2 1 a 及び 5 2 1 b が、例えばタングステンシリサイドから形成されている。本実施例の NAND 回路 5 0 0 によれば、支持基板に含有された不純物、及び支持基板の貼り合わせ面に吸着した不純物が TFT 側へ拡散することを、絶縁部によって防止することができるので、TFT の特性の劣化を防止できる。

【0223】図 26 において、NOR 回路 6 0 0 は、例えば、同一のアルミニウム層から形成されている、入力線 6 0 1 a 及び 6 0 1 b、出力線 6 0 2、VDD 電位線 6 0 3 及び VSS 電位線 6 0 4 を備える。NOR 回路 6 0 0 における積層構造は、図 24 に示したインバータ回路 4 0 0 と同様に、支持基板上に、絶縁部を介して半導

体層が積層されており、その上には、ゲート絶縁膜を介して上側ゲート電極 6 2 1 a 及び 6 2 1 b が、例えばタングステンシリサイドから形成されている。本実施例の NOR 回路 6 0 0 によれば、支持基板に含有された不純物、及び支持基板の貼り合わせ面に吸着した不純物が TFT 側へ拡散することを、絶縁部によって防止することができるので、TFT の特性の劣化を防止できる。

【0224】図 27 において、NAND 回路 7 0 0 は、立体的なダブルゲート構造を有する。NAND 回路 7 0 0 は、例えば、同一のアルミニウム層から形成されている、入力線 7 0 1 a 及び 7 0 1 b、出力線 7 0 2、VDD 電位線 7 0 3 及び VSS 電位線 7 0 4 を備える。NAND 回路 7 0 0 における積層構造は、図 24 に示したインバータ回路 4 0 0 と同様に、支持基板上に、下側ゲート電極 7 2 1 a が形成されており、その上に絶縁部を介して半導体層が積層されており、この絶縁部の一部がゲート絶縁膜として機能する。他方、半導体層上には、ゲート絶縁膜を介して上側ゲート電極 7 2 1 b が形成されている。

【0225】本実施例のダブルゲート構造を有する NAND 回路 7 0 0 によれば、支持基板に含有された不純物、及び支持基板の貼り合わせ面に吸着した不純物が TFT 側へ拡散することを、絶縁部によって防止することができるので、TFT の特性の劣化を防止できる。また、導電部材の一例たる下側ゲート電極 7 2 1 a から半導体層側への不純物の拡散を、絶縁部によって効果的に防止できる。加えて、下側ゲート電極 7 2 1 a は、遮光膜としても機能し、TFT における光リーク電流の発生を効果的に防止できる。そして特に NAND 回路 7 0 0 は、図 25 の NAND 回路 5 0 0 と比較して占有面積が低減されるという利益がある。

【0226】図 28 において、NOR 回路 8 0 0 は、立体的なダブルゲート構造を有する。NOR 回路 8 0 0 は、例えば、同一のアルミニウム層から形成されている、入力線 8 0 1 a 及び 8 0 1 b、出力線 8 0 2、VDD 電位線 8 0 3 及び VSS 電位線 8 0 4 を備える。NOR 回路 8 0 0 における積層構造は、図 24 に示したインバータ回路 4 0 0 と同様に、支持基板上に、下側ゲート電極 8 2 1 a が形成されており、その上に絶縁部を介して半導体層が積層されており、この絶縁部の一部がゲート絶縁膜として機能する。他方、半導体層上には、ゲート絶縁膜を介して上側ゲート電極 8 2 1 b が形成されている。

【0227】本実施例のダブルゲート構造を有する NOR 回路 8 0 0 によれば、支持基板に含有された不純物、及び支持基板の貼り合わせ面に吸着した不純物が TFT 側へ拡散することを、絶縁部によって防止することができるので、TFT の特性の劣化を防止できる。また、導電部材の一例たる下側ゲート電極 8 2 1 a から半導体層側への不純物の拡散を、絶縁部によって効果的に防止で

きる。加えて、下側ゲート電極821aは、遮光膜としても機能し、TFTにおける光リーク電流の発生を効果的に防止できる。そして特にNOR回路800は、図26のNOR回路600と比較して占有面積が低減されるという利益がある。

【0228】（電子機器）上記の実施形態の液晶装置（電気光学装置）を用いた電子機器の一例として、投射型表示装置の構成について、図29を参照して説明する。

【0229】図29において、投射型表示装置1100は、上記の実施形態の液晶装置を3個用意し、夫々RGB用の液晶装置962R、962G及び962Bとして用いた投射型液晶装置の光学系の概略構成図を示す。

【0230】本例の投射型表示装置の光学系には、光源装置920と、均一照明光学系923が採用されている。そして、投射型表示装置は、この均一照明光学系923から出射される光束Wを赤（R）、緑（G）、青（B）に分離する色分離手段としての色分離光学系924と、各色光束R、G、Bを変調する変調手段としての3つのライトバルブ925R、925G、925Bと、変調された後の色光束を再合成する色合成手段としての色合成プリズム910と、合成された光束を投射面100の表面に拡大投射する投射手段としての投射レンズユニット906を備えている。また、青色光束Bに対応するライトバルブ925Bに導く導光系927をも備えている。

【0231】均一照明光学系923は、2つのレンズ板921、922と反射ミラー931を備えており、反射ミラー931を挟んで2つのレンズ板921、922が直交する状態に配置されている。均一照明光学系923の2つのレンズ板921、922は、それぞれマトリクス状に配置された複数の矩形レンズを備えている。光源装置920から出射された光束は、第1のレンズ板921の矩形レンズによって複数の部分光束に分割される。そして、これらの部分光束は、第2のレンズ板922の矩形レンズによって3つのライトバルブ925R、925G、925B付近で重畳される。従って、均一照明光学系923を用いることにより、光源装置920が出射光束の断面内で不均一な照度分布を有している場合でも、3つのライトバルブ925R、925G、925Bを均一な照明光で照明することが可能となる。

【0232】各色分離光学系924は、青緑反射ダイクロイックミラー941と、緑反射ダイクロイックミラー942と、反射ミラー943から構成される。まず、青緑反射ダイクロイックミラー941において、光束Wに含まれている青色光束Bおよび緑色光束Gが直角に反射され、緑反射ダイクロイックミラー942の側に向かう。赤色光束Rはこのミラー941を通過して、後方の反射ミラー943で直角に反射されて、赤色光束Rの出射部944からプリズムユニット910の側に出射され

る。

【0233】次に、緑反射ダイクロイックミラー942において、青緑反射ダイクロイックミラー941において反射された青色、緑色光束B、Gのうち、緑色光束Gのみが直角に反射されて、緑色光束Gの出射部945から色合成光学系の側に出射される。

【0234】緑反射ダイクロイックミラー942を通過した青色光束Bは、青色光束Bの出射部946から導光系927の側に出射される。本例では、均一照明光学素子の光束Wの出射部から、色分離光学系924における各色光束の出射部944、945、946までの距離がほぼ等しくなるように設定されている。

【0235】色分離光学系924の赤色、緑色光束R、Gの出射部944、945の出射側には、それぞれ集光レンズ951、952が配置されている。したがって、各出射部から出射した赤色、緑色光束R、Gは、これらの集光レンズ951、952に入射して平行化される。

【0236】このように平行化された赤色、緑色光束R、Gは、ライトバルブ925R、925Gに入射して変調され、各色光に対応した画像情報が付加される。すなわち、これらの液晶装置は、図示を省略している駆動手段によって画像情報に応じてスイッチング制御されて、これにより、ここを通過する各色光の変調が行われる。一方、青色光束Bは、導光系927を介して対応するライトバルブ925Bに導かれ、ここにおいて、同様に画像情報に応じて変調が施される。尚、本例のライトバルブ925R、925G、925Bは、それぞれさらに入射側偏光手段960R、960G、960Bと、出射側偏光手段961R、961G、961Bと、これらの間に配置された液晶装置962R、962G、962Bとからなる液晶ライトバルブである。

【0237】導光系927は、青色光束Bの出射部946の出射側に配置した集光レンズ954と、入射側反射ミラー971と、出射側反射ミラー972と、これらの反射ミラーの間に配置した中間レンズ973と、ライトバルブ925Bの手前側に配置した集光レンズ953とから構成されている。集光レンズ946から出射された青色光束Bは、導光系927を介して液晶装置962Bに導かれて変調される。各色光束の光路長、すなわち、光束Wの出射部から各液晶装置962R、962G、962Bまでの距離は青色光束Bが最も長くなり、したがって、青色光束の光量損失が最も多くなる。しかし、導光系927を介在させることにより、光量損失を抑制することができる。

【0238】各ライトバルブ925R、925G、925Bを通過して変調された各色光束R、G、Bは、色合成プリズム910に入射され、ここで合成される。そして、この色合成プリズム910によって合成された光が投射レンズユニット906を介して所定の位置にある投射面100の表面に拡大投射されるようになっている。

【0239】上記構造を有する投射型表示装置1100は、上記の実施形態の液晶装置を備えたものである。TFT（トランジスタ素子）の特性の劣化を防止することができ、性能の優れたものとなる。

【0240】本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学装置及びその方法並びに電子機器もまた本発明の技術的範囲に含まれるものである。

#### 【図面の簡単な説明】

【図1】本発明に係る実施形態のSOI基板の構造を示す断面図である。

【図2】本発明に係る実施形態のSOI基板の製造方法を示す工程図である。

【図3】本発明に係る実施形態のSOI基板の製造方法を示す工程図である。

【図4】本発明に係る実施形態のSOI基板の製造方法において、支持基板と単結晶シリコン基板の貼り合わせのパターンを示す図である。

【図5】本発明に係る実施形態の素子基板の構造を示す断面図である。

【図6】本発明に係る実施形態の電気光学装置において、画素部を構成する各種素子、配線等の等価回路図である。

【図7】本発明に係る実施形態の電気光学装置において、素子基板の相隣接する複数の画素群の平面図である。

【図8】図7のA-A'断面図である。

【図9】本発明に係る実施形態の素子基板の製造方法を示す工程図である。

【図10】本発明に係る実施形態の素子基板の製造方法を示す工程図である。

【図11】本発明に係る実施形態の素子基板の製造方法を示す工程図である。

【図12】本発明に係る実施形態の素子基板の製造方法を示す工程図である。

【図13】本発明に係る実施形態の素子基板の製造方法を示す工程図である。

【図14】本発明に係る実施形態の素子基板の製造方法を示す工程図である。

【図15】本発明に係る実施形態の電気光学装置の素子基板をその上に形成された各構成要素と共に対向基板側から見た平面図である。

【図16】図15のH-H'断面図である。

【図17】実施形態の電気光学装置におけるTFTの下側に遮光膜を作り込む構造の各種具体例を示す断面図である。

【図18】実施形態の電気光学装置におけるTFTの下側に遮光膜を作り込む構造の各種具体例を示す断面図で

ある。

【図19】実施形態の電気光学装置におけるTFTの下側に遮光膜を作り込む構造の各種具体例を示す断面図である。

【図20】実施形態の電気光学装置におけるTFTの下側に遮光膜を作り込む構造の各種具体例を示す断面図である。

【図21】液晶表示装置の全体構成を示すブロック図である。

10 【図22】液晶表示装置におけるデータ線駆動回路の構成を示す回路図である。

【図23】半導体装置の一例である、ダブルゲート構造を有するインバータ回路の平面図である。

【図24】図23のインバータ回路における半導体層のチャネル領域を上下から挟持するダブルゲート構造を示す断面図である。

【図25】半導体装置の他の例であるNAND回路の平面図である。

20 【図26】半導体装置の他の例であるNOR回路の平面図である。

【図27】半導体装置の他の例である、ダブルゲート構造を有するNAND回路の平面図である。

【図28】半導体装置の他の例である、ダブルゲート構造を有するNOR回路の平面図である。

【図29】本発明に係る実施形態の電気光学装置を用いた電子機器の一例である投射型表示装置の構成図である。

#### 【符号の説明】

200... SOI基板

201... 支持基板

202... 単結晶シリコン層

202A... 単結晶シリコン基板

203B... 第1の酸化シリコン膜

203A... 第2の酸化シリコン膜

204... 窒化シリコン膜又は窒化酸化シリコン膜

204A... 第一の窒化シリコン膜又は窒化酸化シリコン膜

204B... 第一の窒化シリコン膜又は窒化酸化シリコン膜

40 205... 絶縁部

210... 素子基板

220... TFT（トランジスタ素子）

208... 半導体層

222... レジスト

1a... 半導体層

1a'... チャネル領域

1b... 低濃度ソース領域（ソース側LDD領域）

1c... 低濃度ドレイン領域（ドレイン側LDD領域）

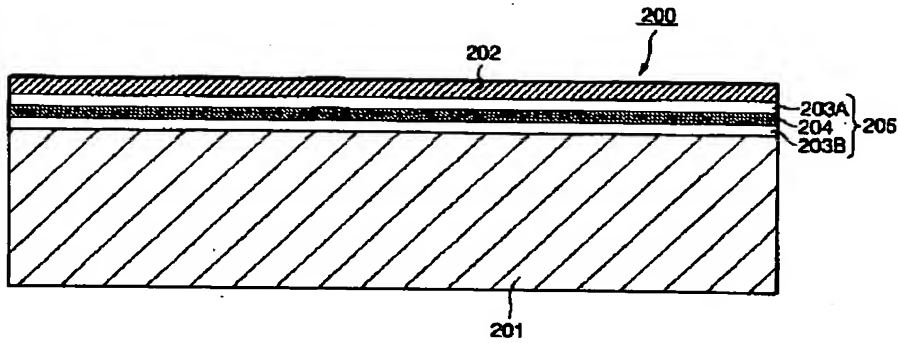
1d... 高濃度ソース領域

50 1e... 高濃度ドレイン領域

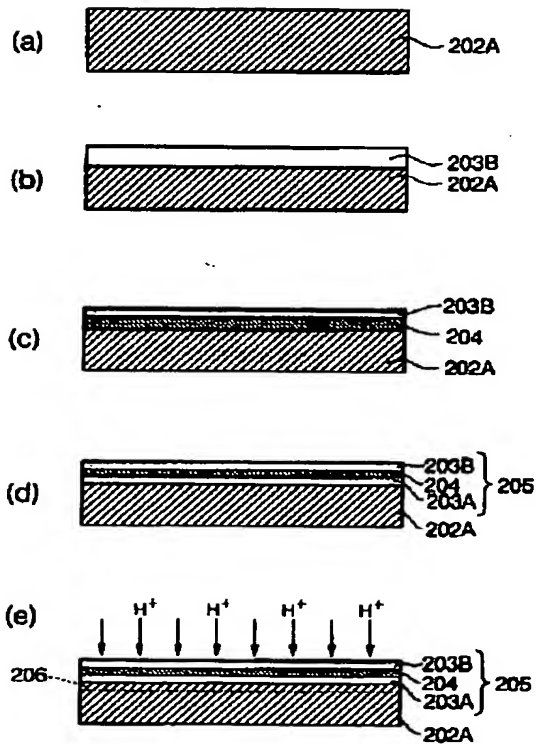
10...素子基板  
 10A...基板本体(支持基板)  
 20...対向基板  
 20A...基板本体  
 11a...第1遮光膜

12...第1層間絶縁膜  
 30...画素スイッチング用TFT(トランジスタ素子)  
 50...液晶層(電気光学材料層)

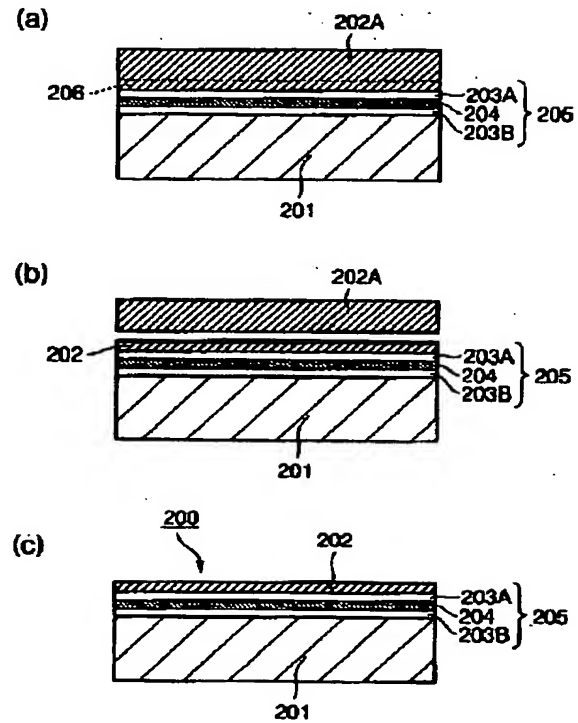
【図1】



【図2】

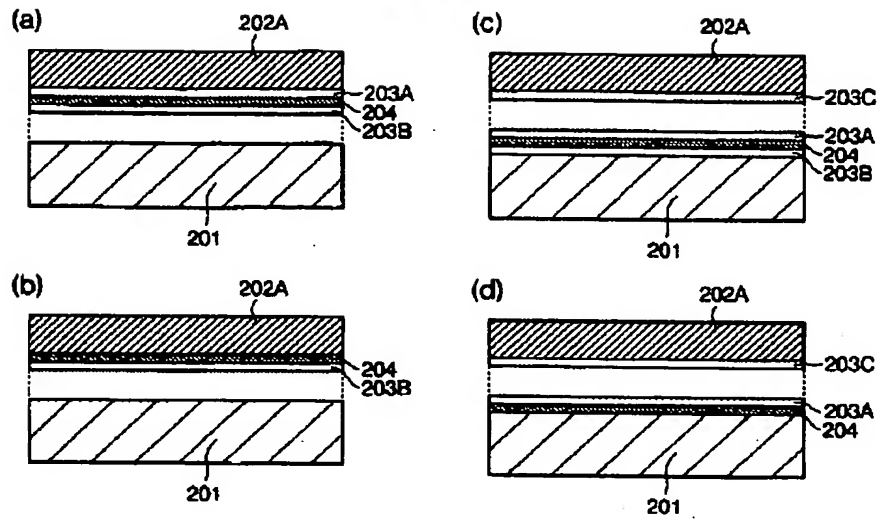


【図3】

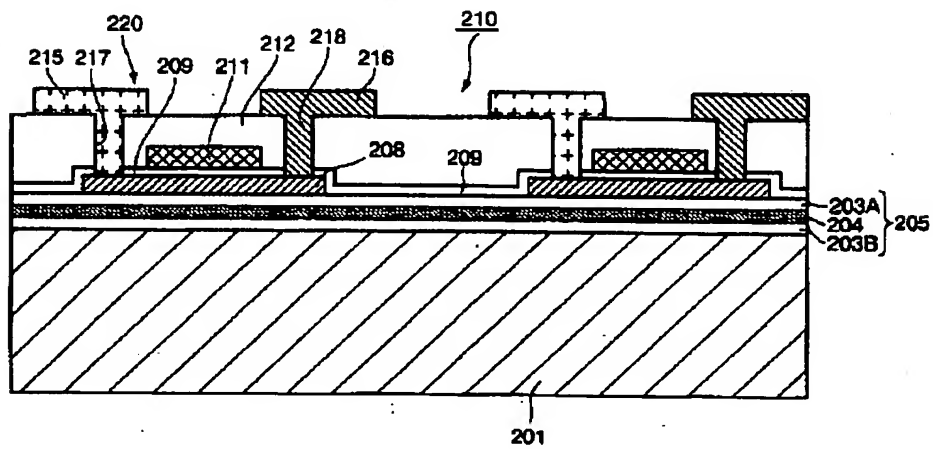




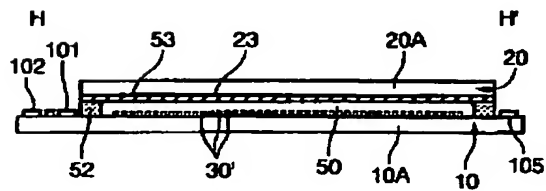
【図 4】



【図 5】

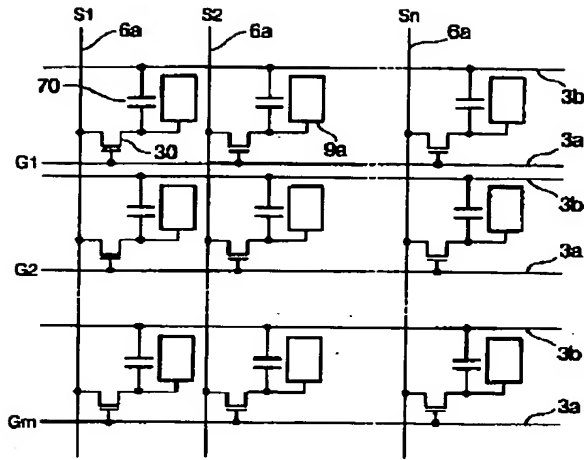


【図 16】

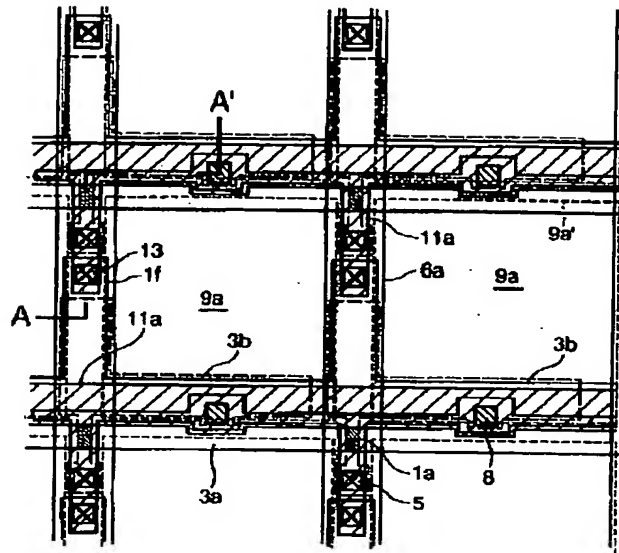




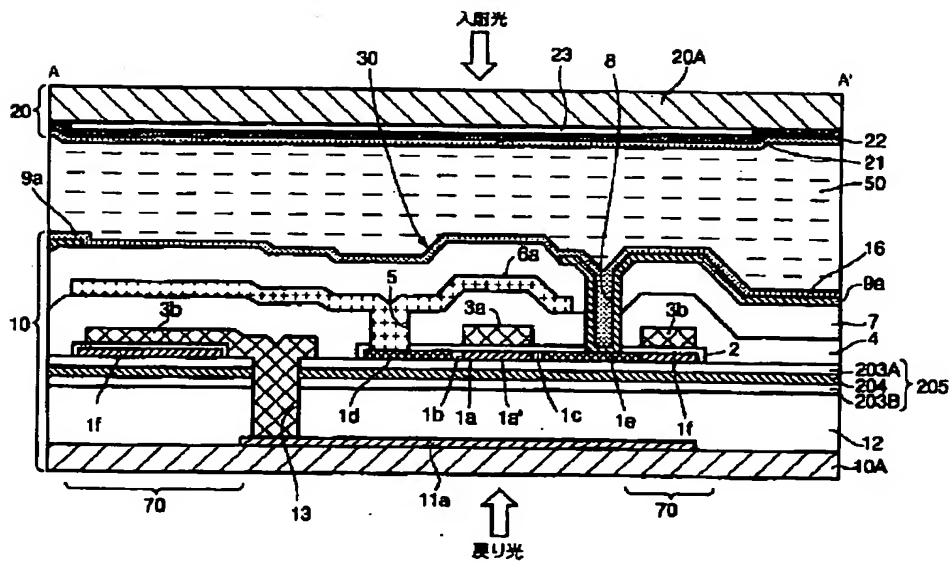
【図6】



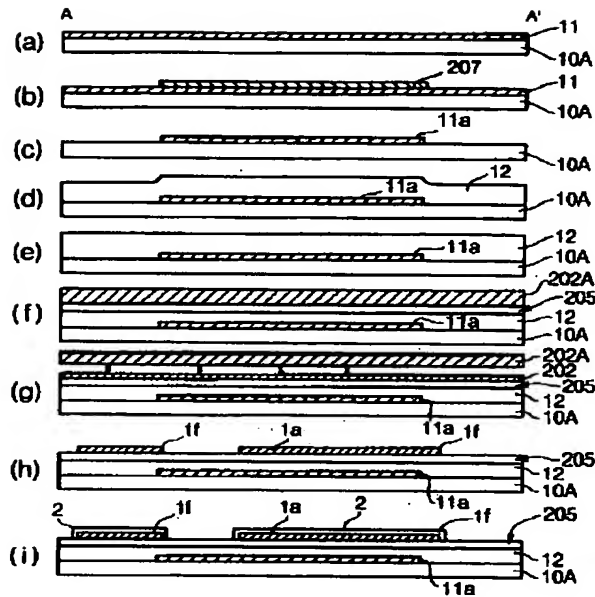
【図7】



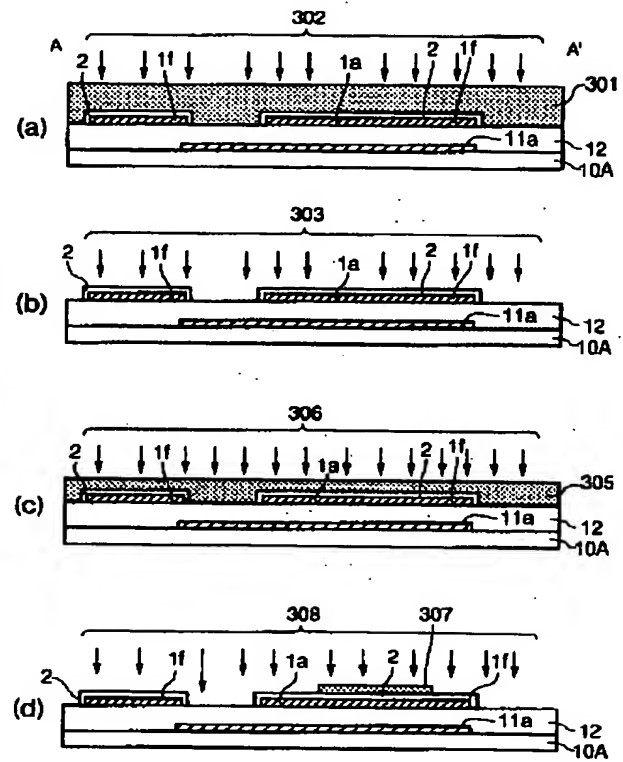
【図8】



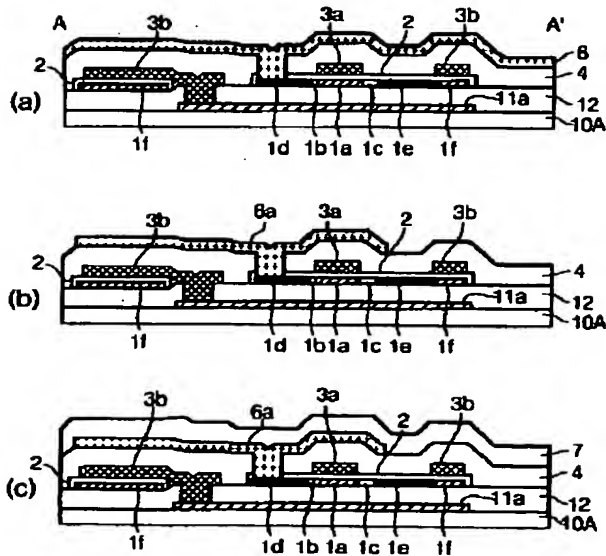
【図 9】



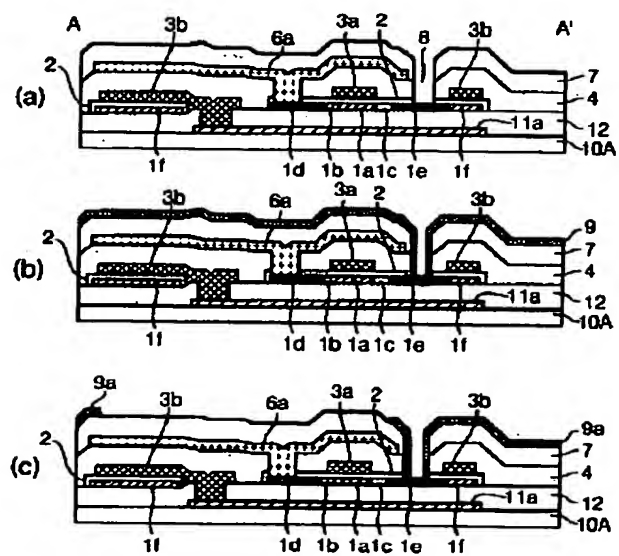
【図 10】



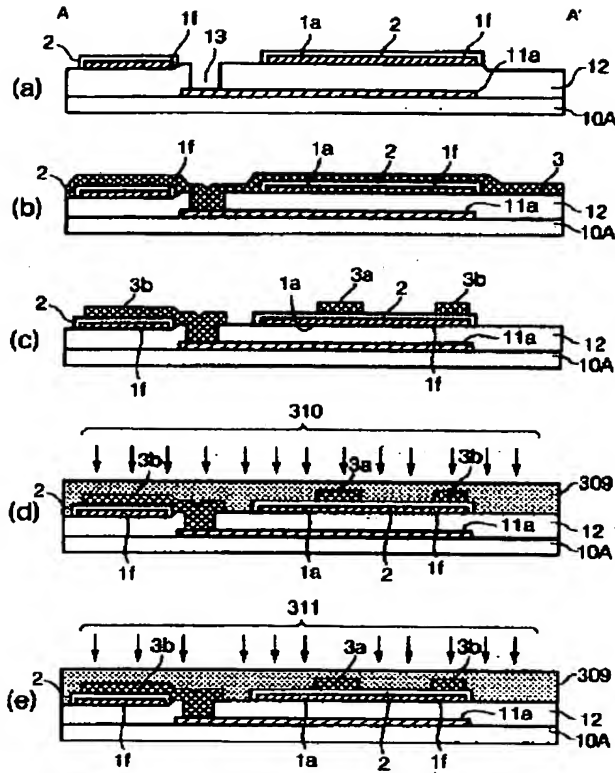
【図 13】



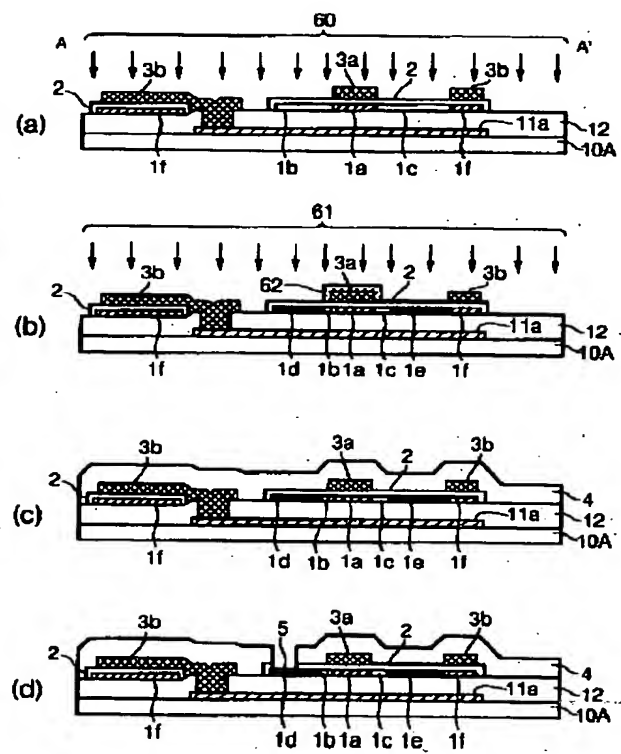
【図 14】



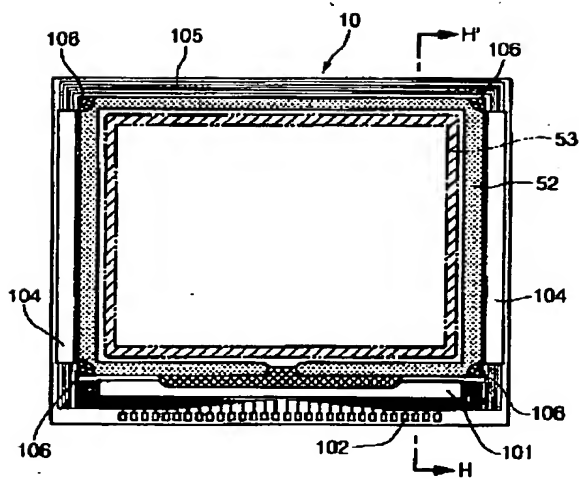
【図 11】



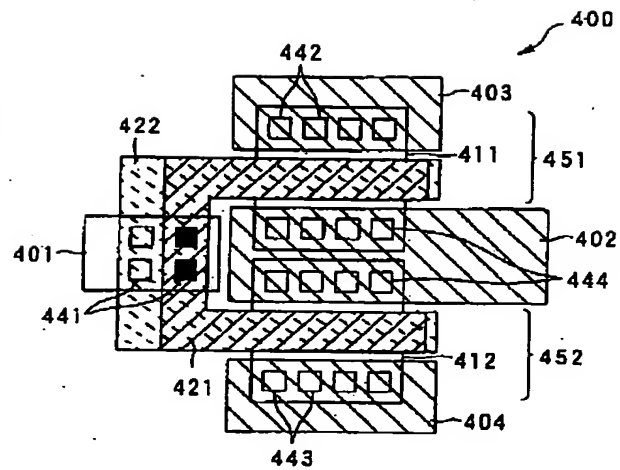
【図 12】



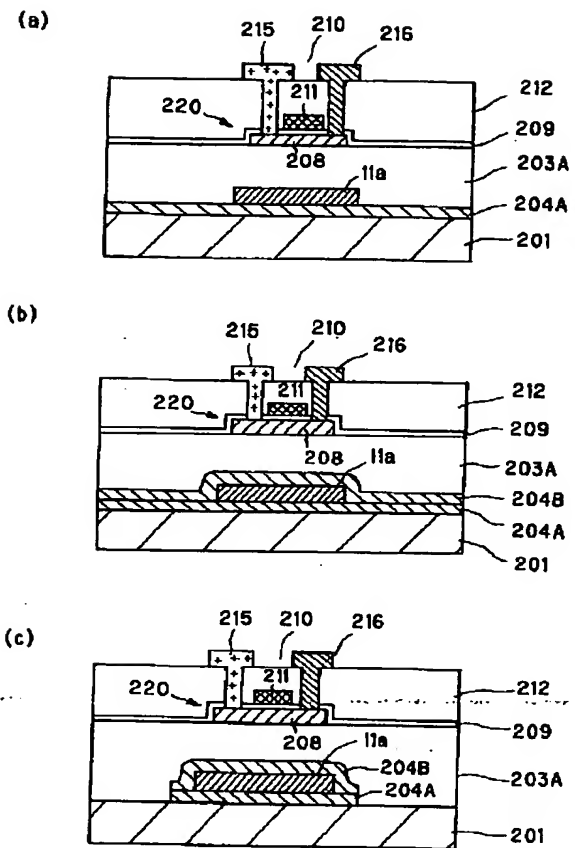
【図 15】



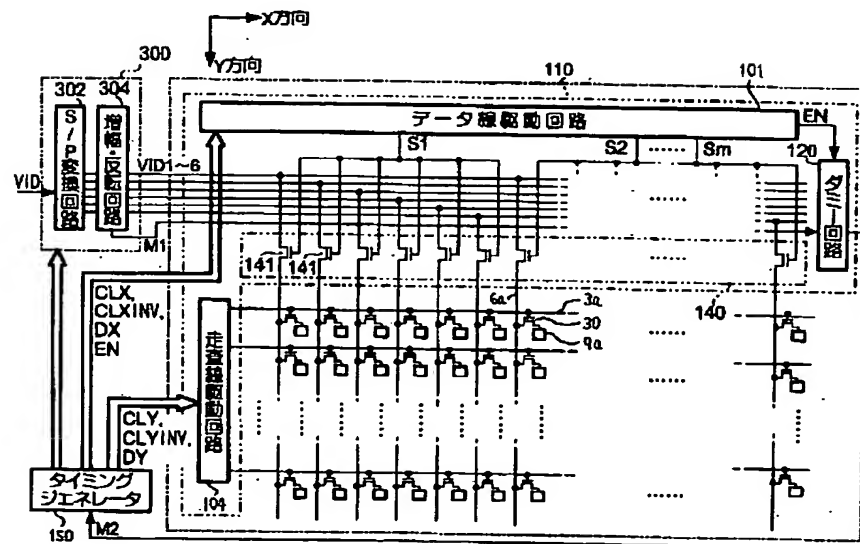
【図 23】



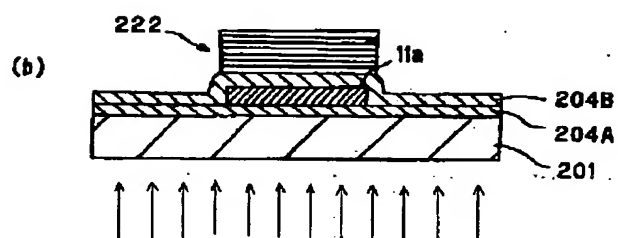
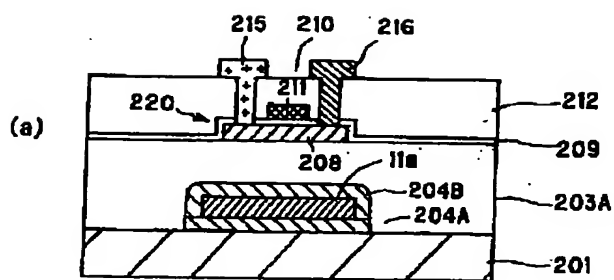
【図 18】



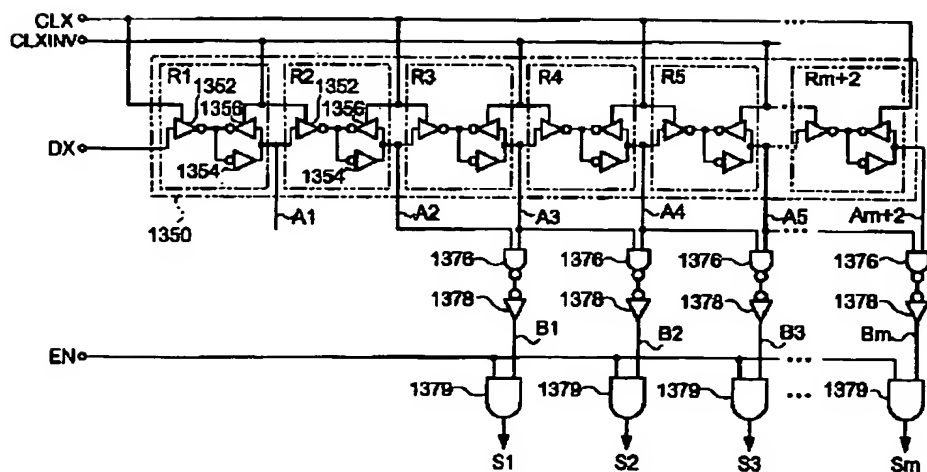
【図 2 1】



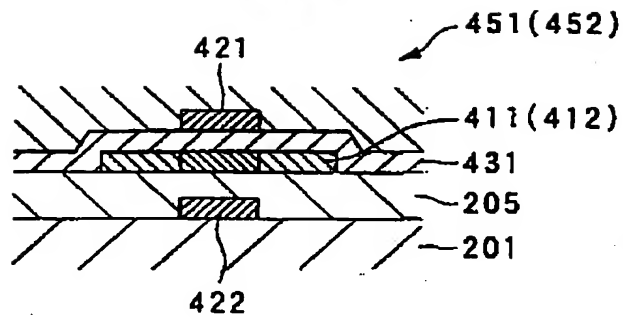
【図 20】



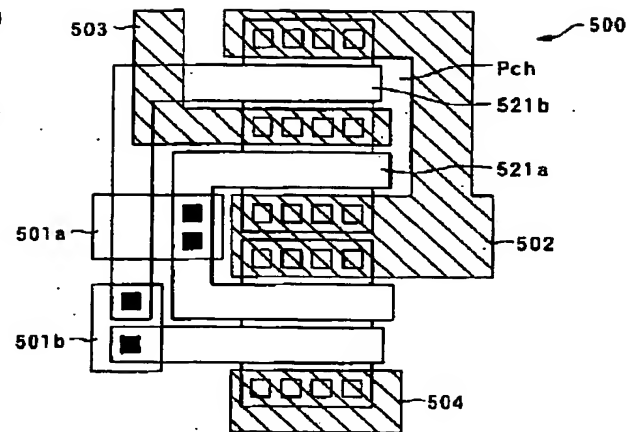
【图 2 2】



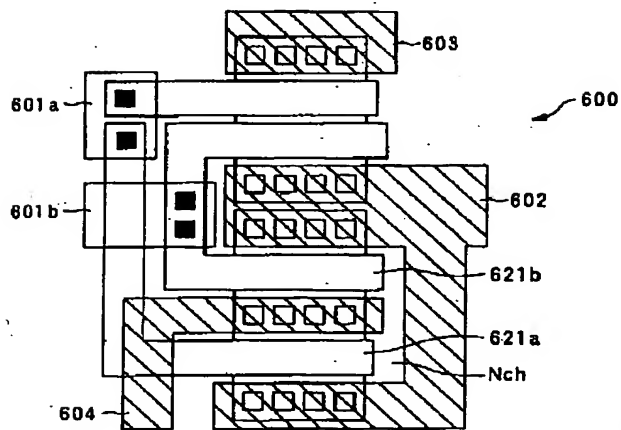
【図 24】



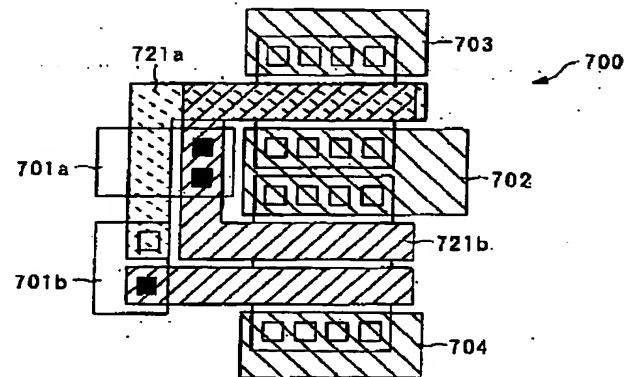
【図 25】



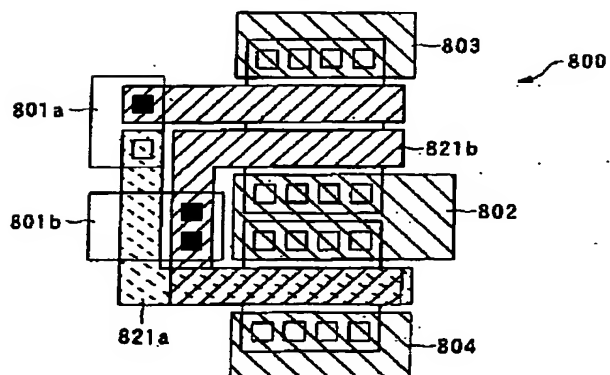
【図 26】



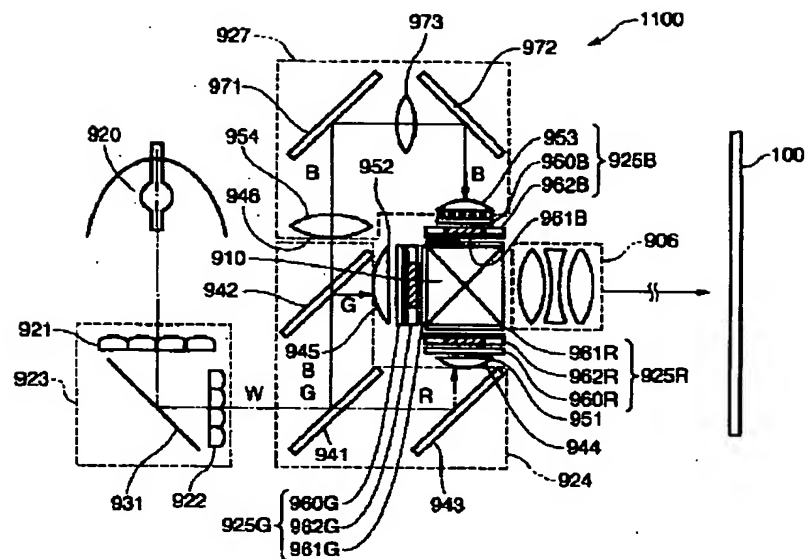
【図 27】



【図 28】



【図 29】



フロントページの続き

(51) Int. Cl. 7		識別記号	F I	テーマコード (参考)	
G 0 9 F	9/30	3 4 9	G 0 9 F 9/30	3 4 9 C	5 F 1 1 0
H 0 1 L	21/8238		H 0 1 L 27/08	3 3 1 E	
	27/08	3 3 1		B	
	27/092			6 1 9 B	
	27/12			3 2 1 B	
	29/786			6 2 6 C	

F ターム (参考) 2H042 AA15 AA26  
2H091 FA34X FA34Z FA35X FA35Z  
FA41Z FB08 FD02 GA13  
LA03 MA07  
2H092 GA11 GA17 GA24 GA25 GA43  
HA03 HA05 HA14 JA24 JA28  
JA31 JA32 JB51 JB52 JB54  
JB56 JB57 JB58 KA04 KA05  
KA11 KB04 KB05 KB24 KB25  
MA02 MA05 MA17 RA05  
5C094 AA16 AA25 AA31 AA43 AA48  
AA53 BA03 BA16 BA43 CA19  
CA24 DA09 DA13 DB01 DB04  
EA04 EA07 EB02 ED03 ED15  
FA01 FA02 FB02 FB12 FB14  
FB15  
5F048 AB03 AB07 AC04 BA09 BA16  
BB05 BC06 BC16  
5F110 AA21 BB02 BB04 CC02 DD02  
DD03 DD05 DD12 DD13 DD14  
DD15 DD17 DD22 EE05 EE09  
EE14 EE30 GG02 GG12 GG13  
GG15 GG25 GG32 GG51 HJ01  
HJ12 HJ23 HL03 HL05 HL07  
HL23 HM14 HM15 NN03 NN04  
NN22 NN23 NN24 NN25 NN26  
NN43 NN44 NN46 NN72 NN73  
QQ03 QQ11 QQ17 QQ19



## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-172950

(43)Date of publication of application : 20.06.2003

(51)Int.Cl.

G02F 1/1368  
 G02B 5/00  
 G02F 1/1335  
 G03B 21/00  
 G09F 9/30  
 H01L 21/8238  
 H01L 27/08  
 H01L 27/092  
 H01L 27/12  
 H01L 29/786

(21)Application number : 2002-004942

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 11.01.2002

(72)Inventor : YASUKAWA MASAHIRO

(30)Priority

Priority number : 2001190521    Priority date : 22.06.2001    Priority country : JP  
 2001292645                      25.09.2001

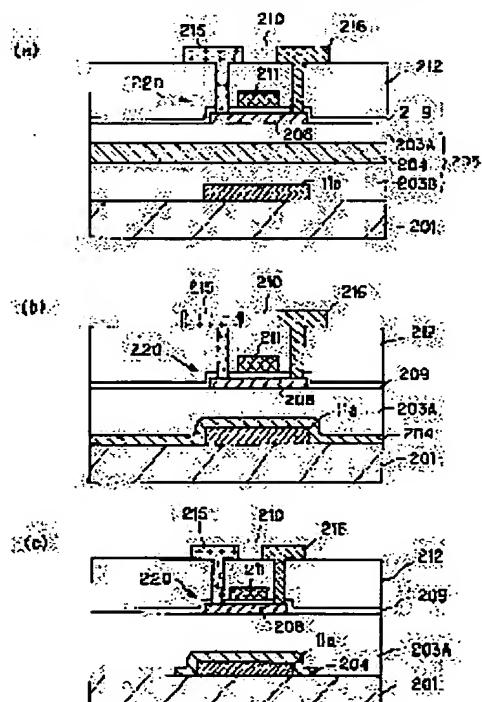
JP

## (54) ELECTROOPTICAL DEVICE, MANUFACTURING METHOD THEREFOR AND ELECTRONIC INSTRUMENT

(57)Abstract:

**PROBLEM TO BE SOLVED:** To enhance light resistance by using a light shielding film, to reduce the reduction of light shielding performance due to oxidation of the light shielding film and to reduce contamination of a semiconductor and the like with this light shielding film, in an electrooptical device wherein a transistor element for switching pixels is formed on a substrate.

**SOLUTION:** A pixel electrode, a transistor element connected thereto and having a semiconductor layer containing a channel area, a wiring connected thereto, the light shielding film covering at least the channel area from a substrate side and an insulation part disposed in at least one gap of gaps between the light shielding film and the semiconductor layer and between the substrate and the light shielding film and containing a silicon nitride film or silicon nitride oxide film are provided on the substrate.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

## CLAIMS

---

[Claim(s)]

[Claim 1] Electro-optics equipment characterized by providing the following. On a support substrate, it is a pixel electrode. The transistor element which has the semiconductor layer which is connected to this pixel electrode and includes a channel field Wiring connected to this transistor element The insulating section which contains a silicon nitride film or a nitriding silicon-oxide film while arranging the aforementioned channel field in between [ one / at least ] from the aforementioned support substrate side at least among between a wrap shading film, and between this shading film and the aforementioned semiconductor layers and the aforementioned support substrate and the aforementioned shading film

[Claim 2] The aforementioned insulating section is electro-optics equipment according to claim 1 characterized by having multilayer structure.

[Claim 3] The aforementioned laminated structure is electro-optics equipment according to claim 2 characterized by the bird clapper including the aforementioned silicon nitride film or a nitriding silicon-oxide film, and the silicon-oxide film formed in the upper surface or the inferior surface of tongue of the aforementioned silicon nitride film or a nitriding silicon-oxide film.

[Claim 4] The aforementioned insulating section is electro-optics equipment given in any 1 term of the claims 1-3 characterized by having stuck to the aforementioned shading film.

[Claim 5] The aforementioned insulating section is electro-optics equipment given in any 1 term of the claims 1-3 characterized by having countered the aforementioned shading film through a layer insulation film.

[Claim 6] It is electro-optics equipment given in any 1 term of the claims 1-5 characterized by having seen the edge of the aforementioned insulating section superficially while the aforementioned insulating section had the flat-surface pattern of a wrap configuration for the aforementioned shading film completely by the aforementioned shading film having the flat-surface pattern of a predetermined configuration, and being distant from the edge of the aforementioned shading film.

[Claim 7] Electro-optics equipment given in any 1 term of the claims 1-6 to which the edge of the aforementioned insulating section is characterized by including the field which is less than 2 micrometers from the edge of the aforementioned shading film.

[Claim 8] Electro-optics equipment given in any 1 term of the claims 1-7 characterized by forming the edge of the aforementioned insulating section in the edge and self-adjustment target of the aforementioned shading film.

[Claim 9] The aforementioned semiconductor layer is electro-optics equipment given in any 1 term of the claims 1-8 characterized by having the SOI (Silicon On Insulator) structure which consists of a single-crystal-silicon film.

[Claim 10] The aforementioned semiconductor layer is electro-optics equipment given in any 1 term of the claims 1-8 characterized by the bird clapper from a polysilicon contest film or an amorphous silicon film.

[Claim 11] The aforementioned shading film is electro-optics equipment given in any 1 term of the claims 1-10 characterized by the bird clapper including a refractory metal.

[Claim 12] The aforementioned silicon nitride of the aforementioned insulating section or the sum total thickness of a nitriding silicon-oxide film is electro-optics equipment given in any 1 term of the claims 1-11 characterized by being 100nm or less.

[Claim 13] Electro-optics equipment given in any 1 term of the claims 1-12 characterized by having further the opto-electronics-material layer pinched between the opposite substrate by which opposite arrangement was carried out to the aforementioned support substrate, and the aforementioned support substrate and the aforementioned opposite substrate.

[Claim 14] Electronic equipment characterized by equipping any 1 term of claims 1-13 with the electro-optics equipment of a publication.

[Claim 15] The manufacture method of the electro-optics equipment characterized by providing the following The

process which forms a shading film in the predetermined field on a support substrate The process which forms the insulating section which contains a silicon nitride film or a nitriding silicon-oxide film through a direct or layer insulation film on this shading film The process which forms a semiconductor layer through a direct or layer insulation film on this insulating section The process which forms the transistor element which comes to arrange a channel field in the position covered by the aforementioned shading film from the bottom by making this semiconductor layer into a component, and the process which forms the wiring and the pixel electrode which were connected to this transistor element

[Claim 16] The manufacture method of the electro-optics equipment according to claim 15 characterized by including further the process which forms other insulating sections which contain a silicon nitride film or a nitriding silicon-oxide film on the aforementioned support substrate before the process which forms the aforementioned shading film.

[Claim 17] The manufacture method of the electro-optics equipment characterized by providing the following The process which forms the insulating section containing a silicon nitride film or a nitriding silicon-oxide film on a support substrate The process which forms a shading film in the predetermined field on this insulating section through a direct or layer insulation film The process which forms a semiconductor layer through a direct or layer insulation film on this shading film The process which forms the transistor element which comes to arrange a channel field in the position covered by the aforementioned shading film from the bottom by making this semiconductor layer into a component, and the process which forms the wiring and the pixel electrode which were connected to this transistor element

[Claim 18] The process which forms the aforementioned semiconductor layer is the manufacture method of electro-optics equipment given in any 1 term of the claims 15-17 characterized by to include the process which sticks the support substrate in which the single-crystal-silicon substrate, the aforementioned shading film, and the aforementioned insulating section in which the aforementioned semiconductor layer was formed were formed, and the process which thin-film-izes the aforementioned single-crystal-silicon substrate after lamination.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DETAILED DESCRIPTION

---

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] this invention belongs to the technical field of the electronic equipment which comes to have the electro-optics equipment with which it comes to form the transistor element for pixel switching on support substrates, such as liquid crystal equipment of an active-matrix drive method, its manufacture method, and such electro-optics equipment.

[0002]

[Background of the Invention] For example, with the electro-optics equipment of a TFT active-matrix drive method, if an incident light is irradiated by the channel field of the TFT for pixel switching (TFT (Thin Film Transistor) is called suitably below) established in each pixel, an optical leakage current will occur in excitation by light, and the property of TFT will change. It becomes important to shade the incident light to the channel field of TFT or its boundary region especially, in the case of the electro-optics equipment for light valves in a projector, since the intensity of an incident light is high. then, the shading film which specifies the opening field of each pixel conventionally established in the opposite substrate -- or it is constituted so that the starting channel field and its boundary region may be shaded by the data line which consists of metal membranes, such as aluminum (aluminum), while passing through a TFT top on a TFT array substrate

[0003] And the shading film which also becomes the TFT bottom on a TFT array substrate from a refractory metal especially may be prepared. Thus, if a shading film is prepared also in the TFT bottom, when the rear-face reflected light and two or more electro-optics equipments from a TFT array substrate side are combined through prism etc. and it constitutes one optical system, it can prevent that return light, such as an incident light which runs through prism etc., carries out incidence to TFT of the electro-optics equipment concerned from other electro-optics equipments.

[0004]

[Problem(s) to be Solved by the Invention] However, as for the shading film which is formed in the TFT bottom and which consists of a refractory metal etc., according to research of an invention-in-this-application person, oxidization tends to advance with time during the use under manufacture and after product completion. And trouble \*\*\*\* that the function of shading film original cannot fully be demonstrated if it has become clear that a light transmittance will go up according to the degree of oxidization if such oxidization advances in the shading film to apply and oxidization progresses. For example, if ordinary-pressure oxidization of 15% of oxygen and 85% of moisture is performed to the TFT array substrate of the form which equipped the TFT bottom with the shading film which consists of such a refractory metal, even if it covers by the protection insulator layer which consists of a silicon-oxide film of about 800nm of thickness, the example to which the shading film of about 200nm of thickness will oxidize completely is also checked.

[0005] Furthermore, if the shading film which becomes the channel field bottom of the semiconductor layer which constitutes TFT in this way from a refractory metal etc. is arranged according to research of an invention-in-this-application person, the contamination (contamination by diffusion of an impurity etc.) by the shading film in this semiconductor layer will also pose a problem. That is, compared with the case where such a shading film is not prepared, the example which the impurity which infiltrates into a semiconductor layer increases is also checked, and there is also a trouble that the transistor characteristics of TFT deteriorate by this.

[0006] this invention can be made in view of an above-mentioned trouble, while excelling in lightfastness by using a shading film, the shading degradation by oxidization of this shading film can be reduced, and the bad influence by the contamination to the semiconductor layer by this shading film etc. can be reduced further, and let it be a technical problem to offer the electro-optics equipment in which bright high-definition image display is possible, its manufacture method, and the electronic equipment which comes to have such electro-optics equipment.

[0007]

[Means for Solving the Problem] In order that the electro-optics equipment of this invention may solve the above-mentioned technical problem, on a support substrate A pixel electrode, The transistor element which has the semiconductor layer which is connected to this pixel electrode and includes a channel field, With the wiring connected to this transistor element, at least the aforementioned channel field The aforementioned support substrate side to a wrap shading film, While being arranged in between [ one / at least ] between this shading film and the aforementioned semiconductor layer and among between the aforementioned support substrate and the aforementioned shading film, it has the insulating section containing a silicon nitride film or a nitriding silicon-oxide film.

[0008] According to the electro-optics equipment of this invention, by supplying a scanning signal, a picture signal, etc. to wiring, switching control becomes possible about a pixel electrode by the transistor element, and an active-matrix drive is attained. Although transistor characteristics will change by generating of an optical leakage current if the above-mentioned return light carries out incidence to the channel field of such a semiconductor layer that constitutes a transistor element temporarily working this invention -- the inside of a semiconductor layer -- at least -- an optical incidence field or an image display field (that is, it can set on a support substrate --) To the channel field down side in the field which the incident light which participates in image display reflects or penetrates except a boundary region etc., since the shading film is prepared, generating of the optical leakage current resulting from such a return light can be prevented effectively.

[0009] And in this invention, the insulating section which contains a silicon nitride film or a nitriding silicon-oxide film in between [ one / at least ] between a shading film and a semiconductor layer and among between a support substrate and a shading film is arranged. Compared with the silicon-oxide film which is the example of a type of the layer insulation film made in the laminated structure on a support substrate, other various insulator layers which constitute the laminated structure on a support substrate, various electric conduction films, various semiconductor films, etc., the silicon nitride film or nitriding silicon-oxide film to apply can be formed precisely, and can make the permeability of oxidization kinds, such as oxygen and moisture, low notably. Since oxidization kinds, such as oxygen and moisture, cannot penetrate easily the precise silicon nitride film which makes the insulating section, or a nitriding silicon-oxide film, it becomes impossible that is, to almost reach a shading film. Therefore, even if oxidization kinds, such as oxygen and moisture, permeate during operation of the electro-optics equipment concerned, and manufacture from the interface in the laminated structure built the front-face side in which the transistor element in a support substrate etc. was formed, and on the support substrate Or even if oxidization kinds, such as oxygen and moisture, are incorporated in the various electric conduction films formed during the manufacture at a support substrate top, various velum films, various semiconductor films, etc. under manufacture of the electro-optics equipment concerned -- working -- the whole quantity of oxidization kinds, such as such oxygen and moisture, -- it can decrease by the insulating section containing the precise silicon nitride film or nitriding silicon-oxide film applied in the amount which results in a shading film inside Therefore, it can prevent effectively that a shading film oxidizes during operation of the electro-optics equipment concerned, and manufacture. Therefore, the rise of the light transmittance by the oxidization in a shading film, i.e., shading performance degradation, can be avoided, and it becomes maintainable [ the high performance in a transistor element ].

[0010] An impurity becomes possible [ also preventing effectively the contamination diffused in a semiconductor layer ] from the composition which arranges the insulating section which contains a precise silicon nitride film or a nitriding silicon-oxide film between a shading film and a semiconductor layer especially, then the shading film which consists of a high-melting point metal membrane etc., for example. Since the impurity from a shading film cannot penetrate easily the precise silicon nitride film which makes the insulating section, or a nitriding silicon-oxide film, it becomes impossible that is, to almost reach a semiconductor layer. Therefore, it also becomes possible to prevent property degradation of the transistor element by the contamination from the shading film in a semiconductor layer.

[0011] It becomes possible electro-optics equipment \*\*\*\*\* of this invention, and to continue at a long period of time and to perform high-definition image display finally, the above result.

[0012] The shading performance degradation of the shading film by oxidization is expected, and it becomes unnecessary in addition, to form the thickness of a shading film more thickly than required.

[0013] In addition, what is necessary is just to use the thing of light-transmission nature as a support substrate, in using the electro-optics equipment concerned as a penetrated type.

[0014] In one mode of the electro-optics equipment of this invention, the aforementioned insulating section has multilayer structure.

[0015] According to this mode, it also becomes possible to heighten more the capacity which intercepts oxidization kinds in the insulating section, such as oxygen and moisture, by making the insulating section containing a silicon nitride film or a nitriding silicon-oxide film into multilayer structure. Therefore, it also becomes possible to prevent

more effectively the contamination by oxidization of a shading film or the shading film.

[0016] The aforementioned laminated structure may consist of this mode so that it may become including the aforementioned silicon nitride film or a nitriding silicon-oxide film, and the silicon-oxide film formed in the upper surface or the undersurface of the aforementioned silicon nitride film or a nitriding silicon-oxide film.

[0017] Thus, if constituted, it will also become possible to heighten further the capacity which intercepts oxidization kinds in the insulating section, such as oxygen and moisture, by the layered product of a silicon nitride film or a nitriding silicon-oxide film, and the silicon-oxide film formed in piles by this. It is also possible to build a laminated structure further for example, using three or more films, such as a laminated structure which pinches a silicon nitride film or a nitriding silicon-oxide film, with the laminated structure which pinches a silicon-oxide film with two silicon nitride films or a nitriding silicon-oxide film, and two silicon-oxide films.

[0018] In addition, as for the insulating section, only a silicon nitride film may have a single layer structure only like a nitriding silicon-oxide film.

[0019] In one mode of the electro-optics equipment of this invention, the aforementioned insulating section is stuck to the aforementioned shading film.

[0020] According to this mode, since it has stuck to the upper surface, the inferior surface of tongue, both sides or edge, and edge of a shading film, the insulating section containing a precise silicon nitride film or a nitriding silicon-oxide film can reduce possibility that oxidization kinds included in other layer insulation films etc., such as oxygen and moisture, will result in a shading film.

[0021] Or in other modes of the electro-optics equipment of this invention, the aforementioned insulating section has countered the aforementioned shading film through a layer insulation film.

[0022] According to this mode, since the shading film is countered through layer insulation films, such as for example, a silicon-oxide film, the insulating section containing a precise silicon nitride film or a nitriding silicon-oxide film can intercept oxidization kinds, such as oxygen and moisture, to some extent in the position estranged from the shading film.

[0023] In other modes of the electro-optics equipment of this invention, the aforementioned shading film has the flat-surface pattern of a predetermined configuration, and while the aforementioned insulating section has the flat-surface pattern of a wrap configuration for the aforementioned shading film completely, the edge of the aforementioned insulating section was seen superficially and is distant from the edge of the aforementioned shading film.

[0024] According to this mode, with the shading film which has the flat-surface pattern of predetermined configurations, such as the shape of the shape of the shape of a grid, and a stripe, and an island, even if there are few semiconductor layers, a channel field can be shaded from the bottom, for example. And it has the flat-surface pattern of configurations, such as the shape of the shape of a wrap, for example, the shape of a somewhat larger grid than a shading film, and a stripe, and an island, completely, the edge of the insulating section looked at the shading film which the insulating section requires superficially, and it is distant from the edge of a shading film. Therefore, the insulating section becomes possible [ covering a shading film in three dimensions from both sides from a top or the bottom on a support substrate ], and can reduce further possibility that oxidization kinds, such as oxygen and moisture, will result in a shading film.

[0025] In addition, the insulating section may be formed in the first [ about ] page of a support substrate regardless of the flat-surface pattern of a shading film. Moreover, even if it does not cover a shading film completely, a certain amount of effect is acquired. Moreover, as for the distance of the edge of the aforementioned insulating section, and the edge of the aforementioned shading film, in this mode, it is desirable that it is less than 2 micrometers superficially. It becomes possible to decrease the fall rate of the light in the insulating section sharply at the same time it reduces possibility that oxidization kinds, such as oxygen and moisture, will result [ from the edge of the insulating section ] in a shading film by this. Moreover, as for the edge of the aforementioned insulating section, in this mode, it is desirable to see superficially and to be formed in the edge and self-adjustment target of the aforementioned shading film. It becomes possible to decrease the fall rate of the light in the insulating section to a limit by this.

[0026] In other modes of the electro-optics equipment of this invention, the aforementioned semiconductor layer has the SOI structure which consists of a single-crystal-silicon film.

[0027] According to this mode, highly efficient MOSFET for a drive, TFT for pixel switching, etc. can build the transistor element excellent in transistor characteristics, such as improvement in the speed, and low-power-izing, high integration, on a support substrate with SOI technology using the single-crystal-silicon thin film excellent in crystallinity.

[0028] The aforementioned semiconductor layer consists of a polysilicon contest film or an amorphous silicon film in other modes of the electro-optics equipment of this invention.

[0029] According to this mode, a transistor element can be comparatively built by the low cost, for example by the



semiconductor layer which consists of a polysilicon contest film or an amorphous silicon film on support substrates, such as a glass substrate and a quartz substrate.

[0030] In other modes of the electro-optics equipment of this invention, the aforementioned shading film comes to contain a refractory metal.

[0031] According to this mode, a shading film consists of a film containing refractory metals containing at least one of refractory metals, such as Ti (titanium), Cr (chromium), W (tungsten), Ta (tantalum), Mo (molybdenum), and Pb (lead), such as what carried out the laminating of a metal simple substance, an alloy, metal silicide, a polysilicon side, and these. Therefore, a high shading performance is obtained with a shading film.

[0032] In addition, a shading film may consist of a silicon film which shades by absorbing light partially.

[0033] In other modes of the electro-optics equipment of this invention, the sum total thickness of the silicon nitride film of the aforementioned insulating section or a nitriding silicon-oxide film is 100nm or less.

[0034] According to this mode, since the sum total thickness of the silicon nitride film which has an optical-absorption property with frequency dependence, or a nitriding silicon-oxide film was 100nm or less, when the structure where the light for a display penetrates the insulating section is adopted temporarily, it can reduce coloring of the display light by the optical absorption in the insulating section concerned. For example, if the silicon nitride film or nitriding silicon-oxide film 100nm or more of thickness is made to penetrate, although that the yellow taste cuts will have made the light for a display clear, the phenomenon which the starting yellow taste cuts can be reduced by setting sum total thickness of a silicon nitride film or a nitriding silicon-oxide film to 100nm or less in this way. Especially according to this mode, the phenomenon which the yellow taste which starts by decreasing the sum total thickness of this silicon nitride film or a nitriding silicon-oxide film further cuts can be reduced.

[0035] In other modes of the electro-optics equipment of this invention, it has further the opto-electronics-material layer pinched between the opposite substrate by which opposite arrangement was carried out to the aforementioned support substrate, and the aforementioned support substrate and the aforementioned opposite substrate.

[0036] According to this mode, between the support substrate of a couple, and an opposite substrate, opto-electronics-material layers, such as liquid crystal, are pinched, and it becomes, for example, electro-optics equipments, such as liquid crystal equipment, are built. Since it has the shading film and the insulating section like \*\*\*\* especially, the outstanding shading performance can be held, it continues at a long period of time, and high-definition image display can be performed.

[0037] The electronic equipment of this invention is equipped with the electro-optics equipment (however, the various modes are included) of this invention mentioned above in order to solve the above-mentioned technical problem.

[0038] Since it has electro-optics equipment of this invention mentioned above according to the electronic equipment of this invention, bright high-definition image display continues at a long period of time, and can realize various electronic equipment, such as a video tape recorder of possible projected type display, a liquid crystal television, a cellular phone, an electronic notebook, a word processor, a viewfinder type, or a monitor direct viewing type, a workstation, a TV phone, a POS terminal, and a touch panel.

[0039] In order that the manufacture method of the electro-optics equipment of 1 of this invention may solve the above-mentioned technical problem The process which forms a shading film in the predetermined field on a support substrate, and the process which forms the insulating section which contains a silicon nitride film or a nitriding silicon-oxide film through a direct or layer insulation film on this shading film, The process which forms a semiconductor layer through a direct or layer insulation film on this insulating section, The process which forms the transistor element which comes to arrange a channel field in the position covered by the aforementioned shading film from the bottom by making this semiconductor layer into a component, and the process which forms the wiring and the pixel electrode which were connected to this transistor element are included.

[0040] According to this manufacture method, a shading film is first formed in the predetermined field on support substrates, such as a glass substrate, a silicon substrate, and a quartz substrate, (for example, fields, such as the shape of the shape of a grid, and a stripe, and an island). Here, a shading film is formed, for example by sputtering of a refractory metal by carrying out patterning by the photolithography after forming a shading film in the whole surface, and etching. Then, on this, the insulating section which contains a silicon nitride film or a nitriding silicon-oxide film through layer insulation films, such as for example, a direct or silicon-oxide film, is formed. What is necessary is here, to form for example, a silicon-oxide film first, to nitride acid nitride this front face in a dinitrogen oxide or a nitrogen monoxide, or just to form a silicon nitride film or a nitriding silicon-oxide film by CVD. Furthermore, on this, semiconductor layers, such as a polysilicon contest film, an amorphous silicon film, and a single-crystal-silicon film, are formed through a direct or layer insulation film. And transistor elements, such as TFT which comes to arrange a channel field, are formed in the position covered by the shading film from the bottom by making this semiconductor layer into a component in an optical incidence field or an image display field at least. And the wiring connected to this transistor



element is formed from a conductive metal membrane, a conductive polysilicon contest film, etc., and a pixel electrode is formed from an ITO (Indium Tin Oxide) film etc. Therefore, the electro-optics equipment of this invention of the mode like \*\*\*\* which equipped the shading film bottom with the insulating section at least can be manufactured comparatively easily.

[0041] In one mode of this manufacture method, the process which forms other insulating sections which contain a silicon nitride film or a nitriding silicon-oxide film on the aforementioned support substrate before the process which forms the aforementioned shading film is included further.

[0042] Since other insulating sections which contain a silicon nitride film or a nitriding silicon-oxide film before formation of a shading film are formed on a support substrate according to this mode, the electro-optics equipment of this invention of the mode which has the structure where the shading film was pinched between the two insulating sections like \*\*\*\* can be manufactured comparatively easily.

[0043] In order that the manufacture method of other electro-optics equipments of this invention may solve the above-mentioned technical problem The process which forms the insulating section containing a silicon nitride film or a nitriding silicon-oxide film on a support substrate, The process which forms a shading film in the predetermined field on this insulating section through a direct or layer insulation film, The process which forms a semiconductor layer through a direct or layer insulation film on this shading film, The process which forms the transistor element which comes to arrange a channel field in the position covered by the aforementioned shading film from the bottom by making this semiconductor layer into a component, and the process which forms the wiring and the pixel electrode which were connected to this transistor element are included.

[0044] According to this manufacture method, the insulating section containing a silicon nitride film or a nitriding silicon-oxide film is first formed on support substrates, such as a glass substrate, a silicon substrate, and a quartz substrate. What is necessary is here, to form for example, a silicon-oxide film first, to nitride acid nitride this front face in a dinitrogen oxide or a nitrogen monoxide, or just to form a silicon nitride film or a nitriding silicon-oxide film by CVD. Then, a shading film is formed in the predetermined field on this insulating section (for example, fields, such as the shape of the shape of the shape of a grid, and a stripe, and an island) through layer insulation films, such as for example, a direct or silicon-oxide film. Here, a shading film is formed, for example by sputtering of a refractory metal by carrying out patterning by the photolithography after forming a shading film in the whole surface, and etching. Furthermore, on this, semiconductor layers, such as a polysilicon contest film, an amorphous silicon film, and a single-crystal-silicon film, are formed through a direct or layer insulation film. And transistor elements, such as TFT which comes to arrange a channel field, are formed in the position covered by the shading film from the bottom by making this semiconductor layer into a component in an optical incidence field or an image display field at least. And the wiring connected to this transistor element is formed from a conductive metal membrane, a conductive polysilicon contest film, etc., and a pixel electrode is formed from an ITO (IndiumTinOxide) film etc. Therefore, the electro-optics equipment of this invention of the mode like \*\*\*\* which equipped the shading film bottom with the insulating section at least can be manufactured comparatively easily.

[0045] In other modes of the manufacture method of the electro-optics equipment of this invention, the process which forms the aforementioned semiconductor layer includes the process which sticks the support substrate in which the single-crystal-silicon substrate, the aforementioned shading film, and the aforementioned insulating section in which the aforementioned semiconductor layer was formed were formed, and the process which thin-film-izes the aforementioned single-crystal-silicon substrate after lamination.

[0046] According to this mode, first, a semiconductor layer is separately formed on a single-crystal-silicon substrate, and this single-crystal-silicon substrate and the support substrate in which a shading film and the insulating section were already formed are stuck. Here, a silicon-oxide film is formed in a lamination side, for example, and this lamination side is performed lamination and by raising lamination intensity with heat treatment further by sticking both substrates after flattening using the hydrogen bond force. Then, a single-crystal-silicon substrate is thin-film-ized. Here, you may thin-film-ize a single-crystal-silicon substrate by leaving a semiconductor layer to a support substrate side, for example, and removing a single-crystal-silicon substrate from a support substrate side. Or you may thin-film-ize a single-crystal-silicon substrate by etching to a single-crystal-silicon substrate, polish, grinding, etc. Therefore, the electro-optics equipment of this invention of the mode equipped with the very highly efficient transistor element which uses a single-crystal-silicon film as a semiconductor layer on the SOI substrate like \*\*\*\* can be manufactured comparatively easily.

[0047] Such an operation and other gains of this invention are made clear from the form of the operation explained below.

[0048]

[Embodiments of the Invention] Hereafter, the operation form of this invention is explained with reference to a drawing. The following operation forms apply the electro-optics equipment of this invention to the liquid crystal equipment of a

TFT active-matrix drive method.

[0049] (SOI substrate) The SOI substrate which constitutes an example of the element substrate used suitable for the electro-optics equipment of this operation form first is explained.

[0050] First, the cross-section structure of the SOI substrate concerning the operation form of this invention is shown in drawing 1, and the structure of this SOI substrate 200 is explained to it.

[0051] As shown in drawing 1, the SOI substrate 200 of this operation form possesses the support substrate 201 and the single-crystal-silicon layer 202 which consist of silicon, a quartz, glass, etc., and the insulating section 205 which consists of a laminated structure of two or more insulator layers is formed between the support substrate 201 and the single-crystal-silicon layer 202. In this operation form, 1st silicon-oxide film 203B, a silicon nitride film or the nitriding silicon-oxide film 204, and silicon-oxide film 203 of \*\* 2nd A had carried out the laminating of the insulating section 205 one by one from the support substrate 201 side.

[0052] Next, based on drawing 2 and drawing 3, the manufacture method of the SOI substrate 200 of having the above-mentioned structure is explained as the manufacture method of the SOI substrate concerning this operation gestalt.

Drawing 2 (a) - (e) and drawing 3 (a) - (c) shows the cross section in each process, respectively. In addition, the manufacture method given in the following is an example, and this invention is not limited to below by the thing of a publication.

[0053] First, as shown in drawing 2 (a), for example, as single-crystal-silicon substrate 202A which has about 300-900-micrometer thickness is prepared and it is shown in drawing 2 (b) 1st silicon-oxide film 203B which has about 5-400nm thickness is formed in one front face of single-crystal-silicon substrate 202A by oxidizing thermally one front face of single-crystal-silicon substrate 202A at 700-1150 degrees C under O<sub>2</sub> or H<sub>2</sub>O atmosphere.

[0054] Next, as shown in drawing 2 (c), a silicon nitride film or the nitriding silicon-oxide film 204 is formed in the single-crystal-silicon substrate 202A side of 1st silicon-oxide film 203B by nitriding or acid nitriding the front face of single-crystal-silicon substrate 202A in which 1st silicon-oxide film 203B was formed, at 800-1150 degrees C under a dinitrogen oxide or nitrogen-monoxide atmosphere.

[0055] The support substrate 201 consists of a substrate which has light-transmission nature, such as a quartz substrate and a glass substrate, and in being what is applied to the device which makes light penetrate, in order to prevent that the permeability of light falls by existence of a silicon nitride film or the nitriding silicon-oxide film 204, as for the liquid crystal equipment of a penetrated type [ substrate / SOI / 200 ] etc., it is desirable to set thickness of a silicon nitride film or the nitriding silicon-oxide film 204 to 100nm or less. The phenomenon which the yellow taste which starts by decreasing the sum total thickness of this silicon nitride film or a nitriding silicon-oxide film especially cuts can be reduced. It is desirable to set thickness of the sum total of the aforementioned silicon nitride film or a nitriding silicon-oxide film to 10nm or less especially. It enables this to press down the amount of falls of permeability within several %.

[0056] Next, as shown in drawing 2 (d), 2nd silicon-oxide film 203A which has about 5-400nm thickness is formed in the single-crystal-silicon substrate 202A side of a silicon nitride film or the nitriding silicon-oxide film 204 by oxidizing thermally the front face of single-crystal-silicon substrate 202A in which the silicon nitride film or the nitriding silicon-oxide film 204 was formed, at 700-1150 degrees C under O<sub>2</sub> or H<sub>2</sub>O atmosphere. The insulating section 205 which becomes a single-crystal-silicon substrate 202A front face from 1st silicon-oxide film 203B, a silicon nitride film or the nitriding silicon-oxide film 204, and silicon-oxide film 203 of \*\* 2nd A as mentioned above is formed.

[0057] Next, as shown in drawing 2 (e), a hydrogen ion (H<sup>+</sup>) is injected into the front face by the side of the insulating section 205 of single-crystal-silicon substrate 202A in which the insulating section 205 was formed on the front face, in acceleration voltage 100keV and dose 10x10<sup>16</sup>/cm<sup>2</sup>. By this processing, the high concentration layer 206 of a hydrogen ion is formed into single-crystal-silicon substrate 202A.

[0058] Next, as shown in drawing 3 (a), lamination with the support substrate 201 set to single-crystal-silicon substrate 202A from silicon, a quartz, glass, etc. considering insulating section 205 front face (1st silicon-oxide film 203B front face) as a lamination side is performed using the hydrogen bond force of the silicon oxide which constitutes a lamination side etc. The method of sticking two substrates directly can be used for a lamination process by heat-treating at 300 degrees C for 2 hours. Moreover, although it is necessary to raise heat treatment temperature further and to make it about 450 degrees C in order to raise lamination intensity further, since there is a big difference in the coefficient of thermal expansion of the support substrate 201 which consists of a quartz etc., and single-crystal-silicon substrate 202A, when it heats as it is, defects, such as a crack, occur and a possibility that the quality of the SOI substrate 200 manufactured may deteriorate is in a single-crystal-silicon layer.

[0059] Then, in order to suppress generating of defects, such as such a crack, after making thin single-crystal-silicon substrate 202A which performed heat treatment for lamination at 300 degrees C at once to about 100-150 micrometers by wet etching or the CMP (chemical mechanical polishing) method, it is desirable to perform further hot heat treatment. For example, after etching using 80-degree C KOH solution so that 150 micrometers of thickness of single-

crystal-silicon substrate 202A may become, it is desirable to perform lamination with the support substrate 201, to heat-treat again at 450 more degrees C, and to raise lamination intensity.

[0060] Next, as shown in drawing 3 (b), by heat-treating two stuck substrates, it leaves the single-crystal-silicon layer 202 of a thin film on the front face of the support substrate 201, and a great portion of single-crystal-silicon substrate 202A is exfoliated. By the hydrogen ion introduced into single-crystal-silicon substrate 202A, since combination of silicon is divided, the ablation phenomenon of this substrate is produced. That is, single-crystal-silicon substrate 202A can be made to divide in single-crystal-silicon substrate 202A in the portion near the boundary of the high concentration layer 206 of a hydrogen ion, and the portion into which the hydrogen ion is not injected.

[0061] Heat treatment for exfoliating single-crystal-silicon substrate 202A can be performed by heating two stuck substrates to 600 degrees C in a programming rate 20 degrees C/m, for example. By this heat treatment, the great portion of stuck single-crystal-silicon substrate 202A is separated from the support substrate 201, and the single-crystal-silicon layer 202 which has about [ abbreviation 200nm\*\*5nm ] thickness is formed on the front face of the support substrate 201. In addition, the single-crystal-silicon layer 202 can be formed by thickness arbitrary to 50nm - 3000nm by changing the acceleration voltage of hydrogen ion pouring performed to single-crystal-silicon substrate 202A described above.

[0062] As shown in drawing 3 (c) as mentioned above, the SOI substrate 200 is manufactured.

[0063] In addition, after sticking single-crystal-silicon substrate 202A and the support substrate 201, the method of thin-film-izing single-crystal-silicon substrate 202A, and forming the single-crystal-silicon layer 202 is not what is limited to the method using the hydrogen ion mentioned above. After the single-crystal-silicon layer 202 of a thin film sticks a single-crystal-silicon substrate and a support substrate, After grinding the front face of a single-crystal-silicon substrate and setting the thickness to 3-5 micrometers, The method of \*\*\*\*\*ing and furthermore, finishing the thickness to about 0.05-0.8 micrometers, by the PACE (Plasma Assisted Chemical Etching) method It can obtain also by the ELTRAN (Epitaxial Layer Transfer) method which imprints the epitaxial silicon layer formed on porosity silicon on a lamination support substrate by the selective etching of a porosity silicon layer.

[0064] By sticking single-crystal-silicon substrate 202A and the support substrate 201 in which the silicon nitride film or the nitriding silicon-oxide film 204 was formed on the front face according to the manufacture method of the SOI substrate of this operation gestalt Since a silicon nitride film or the nitriding silicon-oxide film 204 can be located in the single-crystal-silicon layer 202 side rather than the lamination side of the support substrate 201 and single-crystal-silicon substrate 202A The impurity contained in the support substrate 201 and the impurity which stuck to the lamination side of the support substrate 201 and single-crystal-silicon substrate 202A can prevent completely being spread in the single-crystal-silicon layer 202 side.

[0065] And when the shading film which performs shading of as opposed to [ cover a channel field from the support substrate 201 side at least, return, and ] light of TFT for pixel switching like the after-mentioned is especially formed on the support substrate 201 according to the manufacture method of the SOI substrate of this operation gestalt The insulating section 205 which contains the silicon nitride film or the nitriding silicon-oxide film 204 which is a precise film of low permeability to an oxidization kind or impurities, such as oxygen and moisture It can prevent effectively that an oxidization kind is spread on the shading film which consists of a refractory metal etc., and can prevent effectively simultaneously that an impurity is spread to the single-crystal-silicon layer 202 from a shading film.

[0066] Moreover, you may carry out laminating formation of 2nd silicon-oxide film 203A, a silicon nitride film or the nitriding silicon-oxide film 204, and the silicon-oxide film 203of \*\* 1st B one by one on the front face of single-crystal-silicon substrate 202A using CVD etc. However, while a manufacturing process is complicated in this case, there are 2nd silicon-oxide film 203A, a silicon nitride film or the nitriding silicon-oxide film 204, and a possibility that the thickness of silicon-oxide film 203of \*\* 1st B may become uneven.

[0067] However, after forming 1st silicon-oxide film 203B with this operation gestalt by oxidizing thermally a single-crystal-silicon substrate 202A front face, By nitriding or acid nitriding the single-crystal-silicon substrate 202A front face in which 1st silicon-oxide film 203B was formed A silicon nitride film or the nitriding silicon-oxide film 204 is formed in the single-crystal-silicon substrate 202A side of 1st silicon-oxide film 203B. By oxidizing thermally the single-crystal-silicon substrate 202A front face which furthermore formed the silicon nitride film or the nitriding silicon-oxide film 204 Since the method of forming 2nd silicon-oxide film 203A in the single-crystal-silicon substrate 202A side of a silicon nitride film or the nitriding silicon-oxide film 204 was adopted 1st flat silicon-oxide film 203B which has uniform thickness, a silicon nitride film or the nitriding silicon-oxide film 204, and silicon-oxide film 203of \*\* 2nd A can be formed. Thus, since it can prevent that film peeling etc. arises when forming a transistor element etc. using the SOI substrate 200 while being able to prevent that a void occurs in the lamination side of the support substrate 201 and single-crystal-silicon substrate 202A and being able to raise lamination intensity by forming these films that have uniform thickness, the yield of a product can be raised.

[0068] Moreover, according to this method, since 1st silicon-oxide film 203B, a silicon nitride film or the nitriding silicon-oxide film 204, and silicon-oxide film 203 of \*\* 2nd A can be formed in single-crystal-silicon substrate 202A and one, the SOI substrate 200 with the mutual high adhesion of 1st silicon-oxide film 203B, a silicon nitride film or the nitriding silicon-oxide film 204, silicon-oxide film 203 of \*\* 2nd A, and the single-crystal-silicon layer 202 can be manufactured.

[0069] Moreover, since according to this operation gestalt 1st silicon-oxide film 203B was formed in the front face of a silicon nitride film or the nitriding silicon-oxide film 204 and the front face of 1st silicon-oxide film 203B was made into the lamination side 1st silicon-oxide film 203B is not formed in the front face of a silicon nitride film or the nitriding silicon-oxide film 204. Rather than the case where the front face of a silicon nitride film or the nitriding silicon-oxide film 204 is made into a lamination side, the adhesion of the support substrate 201 and single-crystal-silicon substrate 202A can be improved, and lamination intensity can be raised.

[0070] In addition, the \*\* which does not single-crystal-silicon substrate 202A and really form 1st silicon-oxide film 203B, a silicon nitride film or the nitriding silicon-oxide film 204, and silicon-oxide film 203 of \*\* 2nd A, Even if it forms using CVD etc., when a flat film can be formed 1st silicon-oxide film 203B except having explained by the above-mentioned manufacture method, The pattern of the lamination of the formation method of a silicon nitride film or the nitriding silicon-oxide film 204, and silicon-oxide film 203 of \*\* 2nd A, and the single-crystal-silicon substrate 202A and the support substrate 201 can be illustrated.

[0071] Moreover, in this operation gestalt, although 2nd silicon-oxide film 203A is formed after the silicon nitride film or the nitriding silicon-oxide film 204, this is only the case where a lattice defect is formed, when a silicon nitride film or the nitriding silicon-oxide film 204 is directly formed on single-crystal-silicon substrate 202A. Since a lattice defect is hard to be formed when forming a nitriding silicon-oxide film especially, 2nd silicon-oxide film 203A does not need to be formed.

[0072] Next, based on drawing 4 (a) - (d), the formation method of 1st silicon-oxide film 203B other than the above, a silicon nitride film or the nitriding silicon-oxide film 204, and silicon-oxide film 203 of \*\* 2nd A and the pattern of lamination are explained briefly. Drawing 4 (a) - (d) is the cross section in which having taken out the support substrate 201 and single-crystal-silicon substrate 202A which perform lamination, respectively, and having shown the combination.

[0073] As shown in drawing 4 (a), after forming 2nd silicon-oxide film 203A, a silicon nitride film or the nitriding silicon-oxide film 204, and silicon-oxide film 203 of \*\* 1st B one by one on the front face of single-crystal-silicon substrate 202A, you may stick this single-crystal-silicon substrate 202A and the support substrate 201 by CVD.

[0074] Moreover, after forming 2nd silicon-oxide film 203A by oxidizing thermally the front face of single-crystal-silicon substrate 202A, you may form forming a silicon nitride film or the nitriding silicon-oxide film 204, and silicon-oxide film 203 of \*\* 1st B one by one by CVD etc. combining the method and CVD which were explained by the above.

[0075] Moreover, when forming a silicon-oxide film and a silicon nitride film, or a nitriding silicon-oxide film on the front face of single-crystal-silicon substrate 202A using CVD, as shown in drawing 4 (b), you may form a direct silicon nitride film or the nitriding silicon-oxide film 204, without preparing 2nd silicon-oxide film 203A on the front face of single-crystal-silicon substrate 202A.

[0076] Since a silicon nitride film or the nitriding silicon-oxide film 204 can be located in the single-crystal-silicon layer 202 side also as such composition rather than the lamination side of the support substrate 201 and single-crystal-silicon substrate 202A, it can also be prevented completely that the impurity contained in the support substrate 201 and the impurity which stuck to the lamination side of the support substrate 201 and single-crystal-silicon substrate 202A are spread in the single-crystal-silicon layer 202 side.

[0077] In drawing 4 (a) and (b), although the case where lamination was performed was explained after forming the silicon-oxide film and the silicon nitride film, or the nitriding silicon-oxide film in the single-crystal-silicon substrate 202A side, this invention is not limited to this. After forming a silicon-oxide film and a silicon nitride film, or a nitriding silicon-oxide film in below at the support substrate 201 side based on drawing 4 (c) and (d), the case where lamination is performed is explained.

[0078] As shown in drawing 4 (c), after forming 1st silicon-oxide film 203B, a silicon nitride film or the nitriding silicon-oxide film 204, and silicon-oxide film 203 of \*\* 2nd A one by one on the front face of the support substrate 201 by CVD, you may perform lamination of this support substrate 201 and single-crystal-silicon substrate 202A.

[0079] In this case, the adhesion of two substrates after sticking can be raised because it is desirable to form silicon-oxide film 203C beforehand on the front face of single-crystal-silicon substrate 202A by thermal oxidation or CVD and it uses the maximum front face by the side of lamination as a silicon-oxide film in this way also about which substrate of the support substrate 201 and single-crystal-silicon substrate 202A.

[0080] moreover, when the support substrate 201 consists of a quartz substrate or a glass substrate Since the principal component of the support substrate 201 is a silicon oxide, as shown in drawing 4 (d) It is not necessary to form 1st silicon-oxide film 203B on the front face of the support substrate 201. After forming a silicon nitride film or the nitriding silicon-oxide film 204, and silicon-oxide film 203 of \*\* 2nd A in the support substrate 201 side one by one using CVD, you may stick single-crystal-silicon substrate 202A in which silicon-oxide film 203C was formed on this support substrate 201 and front face.

[0081] In addition, since a silicon nitride film or the nitriding silicon-oxide film 204 is formed in the support substrate 201 side rather than a lamination side, although the impurity contained in the support substrate 201 can prevent being spread in the single-crystal-silicon layer 202 side by the pattern of lamination shown in drawing 4 (c) and (d), the impurity which stuck to the lamination side cannot prevent being spread in the single-crystal-silicon layer 202 side. That is, the pattern of lamination shown in drawing 4 (c) and (d) is effective when the substrate containing impurities, such as a quartz substrate or a glass substrate, is used as a support substrate 201.

[0082] And according to the manufacture method of the SOI substrate shown especially in drawing 4 (c) - (d) Like the case of the manufacture method shown in drawing 2 and drawing 3, when the channel field of TFT for pixel switching is formed on the support substrate 201 like the after-mentioned, the support substrate 201 side to a wrap shading film The insulating section containing a silicon nitride film or the nitriding silicon-oxide film 204 can prevent effectively that an oxidization kind is spread on a shading film, and it can prevent effectively simultaneously that an impurity is spread to the single-crystal-silicon layer 202 from a shading film.

[0083] (Element substrate) Next, while being manufactured using the SOI substrate 200 like \*\*\*\*, the element substrate used suitable for the electro-optics equipment of this operation gestalt is explained with reference to drawing 5.

[0084] In drawing 5, the element substrate 210 is manufactured by forming TFT (transistor element) using this single-crystal-silicon layer, after forming the single-crystal-silicon layer 202 of the SOI substrate 200 in a predetermined pattern. In drawing 5, the sign same about the same component as drawing 1 is attached, and explanation is omitted.

[0085] In drawing 5, TFT220 as an example of a transistor element is constituted like \*\*\*\* considering the single-crystal-silicon layer 202 manufactured on the SOI substrate 200 as a semiconductor layer 208. Moreover, in drawing 5, the insulating section 205 which consists of the support substrate 201, 1st silicon-oxide film 203B and a silicon nitride film or a nitriding silicon-oxide film 204, and the 2nd silicon-oxide film 203A, and the semiconductor layer 208 formed from the single-crystal-silicon layer 202 serve as a SOI substrate.

[0086] As shown in drawing 5, on the front face of the insulating section 205, TFT220 which consists of the semiconductor layer 208, the gate insulator layer 209, the gate electrode 211, the source electrode 215, a drain electrode 216, and a layer insulation film 212 is formed.

[0087] The gate insulator layer 209 is formed on the front face of the support substrate 201 which formed the semiconductor layer 208 in the detail more, and the gate electrode 211 is formed on the front face of the gate insulator layer 209. Furthermore, the layer insulation film 212 is formed on the front face of the support substrate 201 in which the gate electrode 211 was formed.

[0088] The contact holes 217 and 218 which lead respectively are formed in the source field and drain field (neither is illustrated) which were formed in the semiconductor layer 208, and it is formed in the layer insulation film 212 and the gate insulator layer 209 so that the source electrode 215 and the drain electrode 216 may connect with the source field and drain field of the semiconductor layer 208 electrically through contact holes 217 and 218 respectively.

[0089] Since it can prevent completely that the impurity contained in the support substrate 201 and the impurity which stuck to the lamination side of the support substrate 201 and single-crystal-silicon substrate 202A diffuse it to the semiconductor layer 208 (TFT220) side since the element substrate 210 of this operation form is formed using the above-mentioned SOI substrate 200, degradation of the property of TFT220 can be prevented.

[0090] And it is the case where it prepares in the image display field as for which an incident light and return light carry out incidence by setting TFT220 to TFT for pixel switching like the after-mentioned especially according to the element substrate 210 of this invention. When the shading film which performs shading of as opposed to [ cover a channel field from the support substrate 201 side at least, return, and ] light of the semiconductor layer 208 which constitutes this TFT220 is made on the support substrate 201 The insulating section 205 containing a silicon nitride film or the nitriding silicon-oxide film 204 can prevent effectively that an oxidization kind is spread on a shading film. Simultaneously, this insulator layer 205 can prevent effectively that an impurity is spread to the semiconductor layer 208 from a shading film.

[0091] (Electro-optics equipment) Next, the active-matrix type liquid crystal equipment used suitable for projected type display, such as a projector, as an operation gestalt concerning the electro-optics equipment of this invention using TFT (transistor element) as a switching element is taken up, and it explains with reference to drawing 8 from drawing 18, drawing 19, and drawing 6.



[0092] In addition, the liquid crystal equipment of this operation gestalt is equipped with the element substrate (refer to drawing 5 ) manufactured using the SOI substrate (refer to drawing 4 from drawing 1 ) fundamentally mentioned above. That is, as the basic structure of the element substrate which constitutes the electro-optics equipment of this operation gestalt was explained previously, the insulating section which comes to contain a silicon nitride film or a nitriding silicon-oxide film was prepared on the front face of the substrate main part equivalent to a support substrate, and TFT possessing the semiconductor layer formed from the single-crystal-silicon layer in the upper part was formed.

[0093] Moreover, it is common to consider as the structure of preparing a shading layer in the side in which the light of TFT carries out incidence in order for this light to prevent carrying out incidence to the channel field of TFT formed on the front face of an element substrate, and producing an optical leakage current, although light carries out incidence from the element substrate and substrate side (front face of liquid crystal equipment) of the side which counters between two substrates which usually constitute liquid crystal equipment at projected type display.

[0094] However, even if the light of TFT prepares a shading layer in the side which carries out incidence, the light which carried out incidence to liquid crystal equipment may reflect by the interface of the rear face of an element substrate, may return to the channel section of TFT, and may carry out incidence as a light. Although this return light is slight as a rate over the quantity of light which carries out incidence from the front face of liquid crystal equipment, it may fully produce an optical leakage current in the equipment using the very powerful light sources, such as a projector. That is, the return light from the rear face of an element substrate affects the switching characteristic of TFT, and degrades the property of a device.

[0095] Then, in this operation gestalt, in order to prevent degradation of the property of TFT by such return light In order to insulate electrically the shading film which each TFT (transistor element) is made to correspond to right above [ of the substrate main part equivalent to a support substrate ], prepares a shading film, and consists of a metal etc. further, and the semiconductor layer which constitutes TFT It is considering as the composition which prepares the insulating section which consists of the 1st silicon-oxide film, a silicon nitride film or a nitriding silicon-oxide film, and the 2nd silicon-oxide film.

[0096] Here first explains the various examples of the structure which makes a shading film to the TFT down side in the electro-optics equipment of this operation gestalt with reference to drawing 17 (a) - (c) and drawing 18 (a) - (c) and drawing 19 (a), (b), drawing 20 (a), and (b). In addition, in drawing 17 (a) - (c) and drawing 18 (a) - (c), the same reference mark as the same component as drawing 5 is attached, and those explanation is omitted suitably.

[0097] By the example shown in drawing 17 (a), each TFT (transistor element)220 is made to correspond to right above [ of the support substrate 201 ], and 1st shading film 11a is prepared. Such 1st shading film 11a consists of a film containing refractory metals containing at least one of refractory metals, such as Ti (titanium), Cr (chromium), W (tungsten), Ta (tantalum), Mo (molybdenum), and Pb (lead), such as what carried out the laminating of a metal simple substance, an alloy, metal silicide, a polysilicon side, and these. Or 1st shading film 11a may consist of optical-absorption films, such as a silicon film which shades by absorbing light partially, and may consist of an aluminum (aluminum) film of a high reflection factor etc. Moreover, although you may be predetermined configurations, such as the shape of the shape of the shape of a grid, and a stripe, and an island, the flat-surface pattern of 1st shading film 11a is formed so that the channel field of the semiconductor layer 208 may be covered from the support substrate 201 side (the inside of drawing, under) at least. and the 1st shading film 11 constituted in this way -- between a and TFT220, 1st silicon-oxide film 203B, a silicon nitride film or the nitriding silicon-oxide film 204, and the insulating section 205 that consists of silicon-oxide film 203of \*\* 2nd A are formed Since the impurity which this contained in the support substrate 201, and the impurity which stuck to the lamination side of the support substrate 201 and single-crystal-silicon substrate 202A can prevent being spread to the semiconductor layer 208 (TFT220) side, degradation of the property of TFT220 can be prevented.

[0098] Furthermore, when the process which carries out isolation of the semiconductor layer 208 by LOCOS etc. enters by this example, Or in order to thin-film-ize the semiconductor layer 208, when the process which thin-film-izes the semiconductor layer 208 enters, and when the process which forms the gate oxide film 209 enters, it also sets. It can prevent that 1st shading film 11a which prevents that an oxidization kind is spread in the oxidization process with the upper silicon nitride film or the upper nitriding silicon-oxide film 204 of 1st shading film 11a, for example, consists of a high-melting point metal membrane etc. oxidizes. 1st shading film 11a oxidizes by this, and the light transmittance of 1st shading film 11a goes up, the [ i.e., ], -- it can prevent effectively that the shading function of 1 shading film 11a falls In addition, from 1st shading film 11a which consists of a high-melting point metal membrane etc., for example, it can also be effectively prevented with a silicon nitride film or the nitriding silicon-oxide film 204 that an impurity is spread in the semiconductor layer 208, and it can prevent degradation of the transistor characteristics of TFT220 by diffusion of such an impurity.

[0099] next, by the example shown in drawing 17 (b), each TFT220 is made to correspond to right above [ of the

support substrate 201 ], and 1st shading film 11a prepares -- having -- \*\*\*\* -- the 1st shading film 11 -- between a and TFT220, a silicon nitride film or the nitriding silicon-oxide film 204, and silicon-oxide film 203A are formed. Since the impurity which is contained in the support substrate 201, and the impurity which stuck to the lamination side of the support substrate 201 and single-crystal-silicon substrate 202A can prevent being spread to the semiconductor layer 208 (TFT220) side, degradation of the property of TFT220 can be prevented.

[0100] Furthermore, when the process which carries out isolation of the semiconductor layer 208 by LOCOS etc. enters by this example, Or in order to thin-film-ize the semiconductor layer 208, when the process which oxidizes the semiconductor layer 208 enters, and when the process which forms the gate oxide film 209 enters, it also sets. It can prevent that 1st shading film 11a which prevents that an oxidization kind is spread in the oxidization process with the silicon nitride film or the nitriding silicon-oxide film 204 of 1st shading film 11a right above, for example, consists of a high-melting point metal membrane etc. oxidizes. 1st shading film 11a oxidizes by this, and the light transmittance of 1st shading film 11a goes up, the [ i.e., ], -- it can prevent that the shading function of 1 shading film 11a falls. In addition, from 1st shading film 11a which consists of a high-melting point metal membrane etc., for example, it can also be effectively prevented with a silicon nitride film or the nitriding silicon-oxide film 204 that an impurity is spread in the semiconductor layer 208, and it can prevent degradation of the transistor characteristics of TFT220 by diffusion of such an impurity.

[0101] Next, by the example shown in drawing 17 (c), it is formed so that a silicon nitride film or the nitriding silicon-oxide film 204 may have a somewhat larger flat-surface pattern than 1st shading film 11a which has the flat-surface pattern of the not the first [ about ] page but the predetermined configuration of the support substrate 201 compared with the example of drawing 17 (b) mentioned above. About other composition, it is the same as that of the case of the example of drawing 17 (b) mentioned above. Therefore, the impurity contained in the support substrate 201 and the impurity which stuck to the lamination side of the support substrate 201 and single-crystal-silicon substrate 202A can prevent being spread to the semiconductor layer 208 (TFT220) side. Furthermore, it can prevent that an oxidization kind is spread in the silicon nitride film or the nitriding silicon-oxide film 204 of 1st shading film 11a right above. In addition, it can also be prevented that an impurity is spread in the semiconductor layer 208 from 1st shading film 11a.

[0102] And when the light for a display especially penetrates by this example, the situation where most or the light transmittance in an opening field completely falls to the opening field of each pixel which actually contributes to a display with this silicon nitride film or the nitriding silicon-oxide film 204 since a silicon nitride film or the nitriding silicon-oxide film 204 is not formed is avoidable. Since there is a wavelength dependency in the light transmittance in a silicon nitride film or the nitriding silicon-oxide film 204 especially and the situation (for example, it is yellowish on the whole screen) which the light for a display colors is avoidable with existence of a silicon nitride film or the nitriding silicon-oxide film 204, it is advantageous. Moreover, by this example, it becomes possible to increase the thickness of the insulating section compared with aforementioned drawing 17 (b) taking advantage of the above-mentioned advantage, and the diffusion to an oxidization kind can be prevented more. It is [ in / the light-transmission section / at especially this example ] desirable for the etching edge of the insulating section to be less than 2 micrometers from the etching edge of a shading film mostly. It enables this to press down decline in the light transmittance by the aforementioned insulating section in an opening field within several %. Next, by the example shown in drawing 19 (a), the etching edge of the insulating section is mostly formed in the self-adjustment target with the etching edge of a shading film in the light-transmission section compared with the example shown in drawing 17 (c). Since it becomes possible to press down the etching edge of the insulating section to 1 micrometer or less compared with the etching edge of a shading film in the light-transmission section of an opening field by this, it becomes possible to press down further decline in the light transmittance by the aforementioned insulating section in an opening field. Moreover, as this example especially shows to drawing 19 (b), it is possible to expose simply by leaving the slash section, and exposing and removing a resist 221 by tooth-back exposure etc., and it becomes possible to cut down the cost sharply compared with the example of drawing 17 (c).

[0103] Next, compared with the example of drawing 17 (b) mentioned above by the example shown in drawing 18 (a), silicon-nitride-film or nitriding silicon-oxide film 204A is prepared in 1st shading film 11a the bottom instead of a top, and is the same as that of the case of the example of drawing 17 (b) mentioned above about other composition. Therefore, the impurity contained in the support substrate 201 can prevent being spread to the semiconductor layer 208 (TFT220) side. Furthermore, it can prevent that an oxidization kind is spread in the silicon nitride film [ directly under ] of 1st shading film 11a, or nitriding silicon-oxide film 204A.

[0104] Next, by the example shown in drawing 18 (b), a silicon nitride film or the nitriding silicon-oxide films 204A and 204B are formed only for the 1st shading film 11a bottom not only in the bottom but in vertical both sides compared with the example of drawing 17 (b) mentioned above or drawing 18 (a). About other composition, it is the same as that of the case of the example of drawing 17 (b) mentioned above or drawing 18 (a). Therefore, it can prevent the silicon



nitride film of the right above of 1st shading film 11a, or that nitriding silicon-oxide film 204B Reach, and an oxidization kind is spread in the silicon nitride film [ directly under ] of 1st shading film 11a, or nitriding silicon-oxide film 204A. In addition, it can also be effectively prevented by silicon-nitride-film or nitriding silicon-oxide film 204B that an impurity is spread in the semiconductor layer 208 from 1st shading film 11a.

[0105] Next, by the example shown in drawing 18 (c), it is formed so that a silicon nitride film or the nitriding silicon-oxide films 204A and 204B may have a somewhat larger flat-surface pattern than 1st shading film 11a which has the flat-surface pattern of the not the first [ about ] page but the predetermined configuration of the support substrate 201 compared with the example of drawing 18 (b) mentioned above. About other composition, it is the same as that of the case of the example of drawing 18 (b) mentioned above. Therefore, the impurity contained in the support substrate 201 and the impurity which stuck to the lamination side of the support substrate 201 and single-crystal-silicon substrate 202A can prevent being spread to the semiconductor layer 208 (TFT220) side. Furthermore, it can prevent the silicon nitride film of the right above of 1st shading film 11a, or that nitriding silicon-oxide film 204B Reach, and an oxidization kind is spread in the silicon nitride film [ directly under ] of 1st shading film 11a, or nitriding silicon-oxide film 204A. In addition, it can also be effectively prevented by silicon-nitride-film or nitriding silicon-oxide film 204B that an impurity is spread in the semiconductor layer 208 from 1st shading film 11a.

[0106] And the situation where most or the light transmittance in an opening field falls to the opening field of each pixel by this silicon nitride film, nitriding silicon-oxide film 204A, or 204B since it is completely good without forming a silicon nitride film or the nitriding silicon-oxide films 204A and 204B is avoidable like the case of the example shown [ especially ] in drawing 17 (c) by this example. Since especially the light transmittance in a silicon nitride film or the nitriding silicon-oxide films 204A and 204B has frequency dependence and the situation (for example, it is yellowish on the whole screen) which the light for a display colors is avoidable with existence of a silicon nitride film or the nitriding silicon-oxide films 204A and 204B, it is advantageous.

[0107] In addition, in this example, although silicon-nitride-film or nitriding silicon-oxide film 204A \*\*\*\*\*s simultaneously at the time of etching of silicon-nitride-film or nitriding silicon-oxide film 204B, even if silicon-nitride-film or nitriding silicon-oxide film 204A has left, there is no big difference.

[0108] When adopting the composition in which a silicon nitride film, the nitriding silicon-oxide films 204 and 204A, or 204B is prepared also in the opening field of each pixel like the example shown in drawing 17 (a), (b), drawing 18 (a), and (b) especially with this operation gestalt, it is desirable for the sum total thickness of a silicon nitride film or a nitriding silicon-oxide film to set to 100nm or less. Thus, if constituted, decline in the light transmittance in the opening field of each pixel by existence of a silicon nitride film or a nitriding silicon-oxide film and coloring of the light for a display can be reduced even to the grade which cannot be checked by looking on a display image. The phenomenon which the yellow taste which starts by decreasing the sum total thickness of this silicon nitride film or a nitriding silicon-oxide film especially cuts can be reduced. Furthermore, it is desirable to set thickness of the sum total of the aforementioned silicon nitride film or a nitriding silicon-oxide film to 10nm or less. It enables this to press down the amount of falls of permeability within several %.

[0109] Moreover, like the example especially shown in drawing 17 (c) and drawing 18 (c), the silicon nitride film or nitriding silicon-oxide film which constitutes the insulating section is seen superficially, and is somewhat larger than 1st shading film 11a, and it is desirable that only distance with the former edge suitable from the latter edge is separated. thus, the silicon nitride film or nitriding silicon-oxide film which constitutes the insulating section for the shading film which has the flat-surface pattern of predetermined configurations, such as the shape of the shape of the shape of a grid, and a stripe, and an island, for example if constituted -- the support substrate 201 top -- from four directions -- three-dimensional -- a wrap -- possibility that things will become possible and an oxidization kind will result in 1st shading film 11a -- it can decrease -- the -- the impurity diffusion from 1 shading film 11a can be

[0110] And it is [ in / the light-transmission section / especially / at this example ] desirable for the etching edge of the insulating section to be less than 2 micrometers from the etching edge of a shading film mostly. It enables this to press down decline in the light transmittance by the aforementioned insulating section in an opening field within several %.

[0111] Next, by the example shown in drawing 20 (a), the etching edge of the insulating section is mostly formed in the self-adjustment target with the etching edge of a shading film in the light-transmission section compared with the example shown in drawing 18 (c). Since it becomes possible to press down the etching edge of the insulating section to 1 micrometer or less compared with the etching edge of a shading film in the light-transmission section of an opening field by this, it becomes possible to press down decline in the light transmittance by the aforementioned insulating section in an opening field within several %. As this example especially shows to drawing 20 (b), it is possible to expose simple by leaving the slash section, and exposing and removing a resist 222 by tooth-back exposure etc., and it becomes possible to cut down the cost sharply compared with the example of drawing 18 (c).

[0112] In addition, with the operation gestalt explained above, although the semiconductor layer 208 consists of a

single-crystal-silicon film using SOI technology, the semiconductor layer 208 may consist of for example, a polysilicon contest film or an amorphous silicon film. That is, even if a semiconductor layer 208 consists of a polysilicon contest film or an amorphous silicon film, the operation effect prevent the impurity diffusion from a shading film to a semiconductor layer with the operation effect and the silicon nitride film, or the nitriding silicon-oxide film which prevents oxidization of a shading film by the insulating section which comes to contain the silicon nitride film or the nitriding silicon-oxide film like \*\*\*\* is demonstrated almost similarly. And if the semiconductor layer 208 is constituted from a polysilicon contest film or an amorphous silicon film, although transistor characteristics are relatively inferior, TFT can be comparatively built by the low cost. For this reason, if the semiconductor layer 208 is constituted from a polysilicon contest film or an amorphous silicon film and sufficient transistor characteristics are obtained in view of equipment specification, the direction constituted in this way will become there is little futility and advantageous [ futility ].

[0113] Next, the structure in the image display field of the electro-optics equipment of this invention which comes to have a shading film, TFT, the insulating section, etc. which were constituted is explained with reference to drawing 8 from drawing 6 like the above.

[0114] Drawing 6 is equal circuits, such as various elements in two or more pixels formed in the shape of [ which constitutes the pixel section (viewing area) of liquid crystal equipment ] a matrix, and wiring. Moreover, drawing 7 is the plan expanding and showing two or more pixel groups which the element substrate in which the data line, the scanning line, the pixel electrode, the shading film, etc. were formed adjoins. Moreover, drawing 8 is the A-A' cross section of drawing 7.

[0115] In drawing 6 - drawing 8, TFT30 (transistor element) is equipped with semiconductor layer 1a which consists for example, of a single-crystal-silicon layer, and is constituted. Moreover, in drawing 6 - drawing 8, the reference mark same about the same component as drawing 1 or drawing 5 is attached, and explanation is omitted. In addition, in order to make each class and each part material into the size of the grade which can be recognized on a drawing, scales are made to have differed for each class or every each part material in drawing 6 - drawing 8.

[0116] In drawing 6, two or more pixels formed in the shape of [ which constitutes the pixel section of liquid crystal equipment ] a matrix consist of TFT30 for controlling pixel electrode 9a and pixel electrode 9a which were formed in the shape of a matrix, and data-line 6a to which a picture signal is supplied is electrically connected to the source of TFT30 concerned. The picture signals S1, S2, ..., Sn written in data-line 6a may be supplied to line sequential, and you may make it supply them to this order for every group to two or more data-line 6a which adjoins each other. Moreover, scanning-line 3a is electrically connected to the gate of TFT30, and it consists of predetermined timing so that the scanning signals G1, G2, ..., Gm may be impressed to scanning-line 3a in pulse line sequential at this order.

[0117] It connects with the drain of TFT30 electrically, and pixel electrode 9a writes in the picture signals S1, S2, ..., Sn supplied from data-line 6a by closing the switch only during a fixed period in TFT30 which is a switching element to predetermined timing. The picture signals S1, S2, ..., Sn of the predetermined level written in liquid crystal through pixel electrode 9a are held during a fixed period between the counterelectrodes which were formed in the opposite substrate mentioned later and which are mentioned later.

[0118] When the orientation and order of molecular association change with the voltage levels impressed, liquid crystal modulates light and enables a gradation display. The light transmittance to an incident light decreases according to the voltage impressed when it was a normally white mode, if it is normally black mode, the light transmittance to an incident light will be increased according to the impressed voltage, and outgoing radiation of the light which has the contrast according to the picture signal from liquid crystal equipment as a whole will be carried out.

[0119] Here, in order to prevent that the held picture signal leaks, a storage capacitance 70 is added to the liquid crystal capacity and parallel which are formed between pixel electrode 9a and a counterelectrode. For example, as for the voltage of pixel electrode 9a, only the time when no less than 3 figures are longer than the time when voltage was impressed is held by the storage capacitance 70 at the data line. Thereby, it is improved further and a maintenance property can realize the high liquid crystal equipment of a contrast ratio. With this operation form, in order to form such a storage capacitance 70 especially, capacity line 3b formed into low resistance using the scanning line, this layer, or the conductive shading film is prepared like the after-mentioned.

[0120] Next, based on drawing 7, the planar structure in the pixel section (viewing area) of an element substrate is explained in detail. As shown in drawing 7, two or more transparent pixel electrode 9a (the profile is shown by dotted-line section 9a') is prepared in the pixel circles on the element substrate of liquid crystal equipment in the shape of a matrix, and data-line 6a, scanning-line 3a, and capacity line 3b are prepared in them respectively along the boundary of pixel electrode 9a in every direction. Data-line 6a is electrically connected to the below-mentioned source field among semiconductor layer 1a of a single-crystal-silicon layer through the contact hole 5, and pixel electrode 9a is electrically connected to the below-mentioned drain field among semiconductor layer 1a through the contact hole 8. Moreover,

scanning-line 3a is arranged so that a channel field (field of the slash of drawing Nakamigi going up) may be countered among semiconductor layer 1a, and scanning-line 3a functions as a gate electrode.

[0121] This line part to which capacity line 3b is mostly extended in the shape of a straight line along with scanning-line 3a (namely, the 1st field which saw superficially and was formed along with scanning-line 3a), data-line 6 from part which intersects data-line 6a -- meeting -- a preceding paragraph side (inside of drawing, facing up) -- projection -- it has a lobe (namely, the 2nd field which saw superficially and was installed along with data-line 6a) the bottom

[0122] And two or more 1st shading film 11a is prepared in the field shown with the slash of the upward slant to the right in drawing. More specifically, 1st shading film 11a looks at TFT which includes the channel field of semiconductor layer 1a in the pixel section from the substrate main part side of an element substrate, respectively, and is prepared in the wrap position. furthermore, the stage side (namely, facing down in drawing) which adjoins this line part which counters this line part of capacity line 3b, and is extended in the shape of a straight line along with scanning-line 3a along with data-line 6a from the part which intersects data-line 6a -- projection -- it has a lobe the bottom The nose of cam of the downward lobe in each stage (pixel line) of 1st shading film 11a is piled up in the bottom of data-line 6a with the nose of cam of the upward lobe of capacity line 3b in the next step. The contact hole 13 which connects electrically 1st shading film 11a and capacity line 3b mutually is formed in this overlapping part. That is, with this operation form, 1st shading film 11a is electrically connected to capacity line 3b of the preceding paragraph or the latter part by the contact hole 13. Next, based on drawing 8, the cross-section structure of pixel circles of liquid crystal equipment is explained. As shown in drawing 8, in liquid crystal equipment, the liquid crystal layer (opto-electronics-material layer) 50 is pinched between the element substrate 10 and the opposite substrate 20 by which opposite arrangement is carried out at this.

[0123] Substrate main part (support substrate) 10A which the element substrate 10 becomes from light-transmission nature substrates, such as silicon, a quartz, and glass, and pixel electrode 9a formed on the liquid crystal layer 50 side front face, TFT30 for pixel switching (transistor element) and the orientation film 16 are constituted as a subject. The opposite substrate 20 is constituted considering substrate main part 20A which consists of light-transmission nature substrates, such as transparent glass and a quartz, the counterelectrode (common electrode) 21 formed on the liquid crystal layer 50 side front face, and the orientation film 22 as a subject. Pixel electrode 9a is prepared on the liquid crystal layer 50 side front face of substrate main part 10A of the element substrate 10, the orientation film 16 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the liquid crystal layer 50 side, and TFT30 for pixel switching which carries out switching control of each pixel electrode 9a is formed in the position which adjoins each pixel electrode 9a. Pixel electrode 9a consists of transparent conductivity thin films, such as ITO (indium teens oxide), and the orientation film 16 consists of organic thin films, such as a polyimide.

[0124] 1st shading film 11a is prepared in the position corresponding to each TFT30 for pixel switching right above [ of substrate main part 10A of the element substrate 10 ] (on the liquid crystal layer 50 side front face).

[0125] In this operation gestalt, since 1st shading film 11a is formed in the element substrate 10 in this way, it can prevent the return light from the element substrate 10 side etc. carrying out incidence to channel field 1a' of TFT30 for pixel switching, or the LDD fields 1b and 1c, and can prevent that the property of TFT30 for pixel switching as a transistor element deteriorates by generating of a photocurrent.

[0126] Moreover, while insulating electrically semiconductor layer 1a which crosses the whole surface on the front face of substrate main part 10A on the front face of 1st shading film 11a, and constitutes TFT30 for pixel switching from 1st shading film 11a In order to carry out flattening of the front face of substrate main part 10A in which 1st shading film 11a was formed NSG (non doped silicate glass), PSG (phosphorus silicate glass), Silicate glass films, such as BSG (boron silicate glass) and BPSG (boron phosphorus silicate glass), While [ the 1st layer ] consisting of a silicon nitride film, a silicon-oxide film, etc., an insulator layer 12 is formed. on the front face of an insulator layer 12, between the 1st layer Furthermore, 1st silicon-oxide film 203B, a silicon nitride film or the nitriding silicon-oxide film 204, and the insulating section 205 that consists of silicon-oxide film 203of \*\* 2nd A are formed, and TFT30 for pixel switching is formed on the front face of the insulating section 205. TFT30 is formed on the front face of the insulating section 205, and possesses semiconductor layer 1a formed from the single-crystal-silicon layer.

[0127] In addition, about the structure of the insulating section 205, except for the point which the contact hole 13 is puncturing, since it is the same as that of the structure of the insulating section 205 of the above-mentioned SOI substrate 200 and the element substrate 210, explanation is omitted.

[0128] On the other hand, on the liquid crystal layer 50 side front face of substrate main part 20A of the opposite substrate 20, it crosses all over the, the counterelectrode (common electrode) 21 is formed, and the orientation film 22 with which predetermined orientation processing of rubbing processing etc. was performed is formed in the liquid crystal layer 50 side. A counterelectrode 21 consists of transparent conductivity thin films, such as ITO, and the orientation film 22 consists of organic thin films, such as a polyimide.

[0129] Moreover, as further shown at drawing 8 on the liquid crystal layer 50 side front face of substrate main part 20A, the 2nd shading film 23 is formed in fields other than the opening field of each pixel section. Thus, contrast can be raised while being able to prevent that an incident light trespasses upon channel field 1a' of semiconductor layer 1a of TFT30 for pixel switching, or the LDD (Lightly Doped Drain) fields 1b and 1c from the opposite substrate 20 side by forming the 2nd shading film 23 in the opposite substrate 20 side.

[0130] Thus, it is constituted, and between the element substrates 10 and the opposite substrates 20 which have been arranged so that pixel electrode 9a and a counterelectrode 21 may counter, liquid crystal (opto electronics material) is enclosed with the space surrounded by the sealant (illustration abbreviation) formed between the periphery sections of both substrates, and the liquid crystal layer (opto-electronics-material layer) 50 is formed.

[0131] The liquid crystal layer 50 consists of liquid crystal which mixed the pneumatic liquid crystal of a kind or some kinds, and takes a predetermined orientation state with the orientation films 16 and 22 in the state where the electric field from pixel electrode 9a are not impressed.

[0132] Moreover, a sealant consists of adhesives, such as photoresist adhesives for sticking the element substrate 10 and the opposite substrate 20 in those periphery sections, and a thermosetting adhesive, and spacers, such as glass fiber for making distance between both substrates into a predetermined value and a glass bead, are mixed in the interior.

[0133] Moreover, the storage capacitance 70 consists of these operation gestalten by installing the gate insulator layer 2 from the position which counters scanning-line 3a, using as a dielectric film, installing semiconductor film 1a, considering as the 1f of the 1st storage-capacitance electrodes, and using as the 2nd storage-capacitance electrode a part of capacity line 3b which counters these further.

[0134] More, it is installed in the bottom of data-line 6a and scanning-line 3a, and into the capacity line 3b portion similarly extended along with data-line 6a and scanning-line 3a, opposite arrangement is carried out through an insulator layer 2, and let high concentration drain field 1e of semiconductor layer 1a be the 1f (semiconductor layer) of the 1st storage-capacitance electrodes at the detail. Since especially the insulator layer 2 as a dielectric of a storage capacitance 70 is exactly the gate insulator layer 2 of TFT30 formed on a single-crystal-silicon layer of high temperature oxidation, it can be made into the thin insulator layer of high pressure-proofing, and can constitute a storage capacitance 70 from small area as a mass storage capacitance comparatively.

[0135] Furthermore, in the storage capacitance 70, it is constituted by making the 1f of the 1st storage-capacitance electrodes carry out opposite arrangement of the 1st shading film 11a as the 3rd storage-capacitance electrode through an insulator layer 12 in the opposite side of capacity line 3b as the 2nd storage-capacitance electrode between the 1st layer, so that (storage-capacitance 70 reference on the right-hand side of [ illustration ] drawing 8 ) and a storage capacitance may be given further so that drawing 7 and drawing 8 may show. That is, with this operation gestalt, the double storage-capacitance structure where a storage capacitance is given to both sides on both sides of the 1f of the 1st storage-capacitance electrodes is built, and a storage capacitance increases more. By considering as such structure, the function with the liquid crystal equipment of this operation gestalt to prevent the flicker and seizure in a display image can be raised.

[0136] The storage capacitance of pixel electrode 9a can be increased these results, using effectively the space which separated from an opening field called the field (namely, field in which capacity line 3b was formed) which the disclination of liquid crystal generates along with the field under data-line 6a, and scanning-line 3a.

[0137] Moreover, with this operation gestalt, 1st shading film 11a (and capacity line 3b electrically connected to this) is electrically connected to the constant source of potential, and let 1st shading film 11a and capacity line 3b be constant potentials. Therefore, potential change of 1st shading film 11a does not have a bad influence on 1st shading film 11a to TFT30 for pixel switching by which opposite arrangement is carried out. Moreover, capacity line 3b may function good as the 2nd storage-capacitance electrode of a storage capacitance 70.

[0138] Moreover, through the contact hole 13, as shown in drawing 7 and drawing 8 , in addition to preparing 1st shading film 11a in the element substrate 10, 1st shading film 11a consists of these operation gestalten so that it may connect electrically at capacity line 3b of the preceding paragraph or the latter part. When it considers as such composition, there are few level differences to other fields of the field in which each 1st shading film 11a capacity line 3b Attains to data-line 6a in piles along the edge of the opening field of the pixel section as compared with the case where it connects with the capacity line of the self-stage electrically, and 1st shading film 11a is formed, and they end. Thus, if there are few level differences along the edge of the opening field of the pixel section, since the disclination (poor orientation) of the liquid crystal caused according to the level difference concerned can be reduced, it becomes possible to extend the opening field of the pixel section.

[0139] Moreover, the contact hole 13 is punctured by the lobe which projected from this line part to which 1st shading film 11a is extended in the shape of a straight line as mentioned above. It is hard to generate a crack as a puncturing part of a contact hole 13 here for the reasons of stress becoming is easy to be emitted from an edge, so that it is close to an

edge. therefore, the stress which requires into a manufacturing process at 1st shading film 11a according to whether bring at the nose of cam of a lobe close, and a contact hole 13 is punctured (responding to whether it brings at the nose of cam of until margin last-minute close preferably) is eased, a crack can be prevented more effectively, and it becomes possible to raise the yield

[0140] Moreover, capacity line 3b and scanning-line 3a consist of the same polysilicon contest film, consist of a high-temperature-oxidation film with same dielectric film of a storage capacitance 70 and gate insulator layer 2 of TFT30, and consist of semiconductor layer 1a with same 1f of the 1st storage-capacitance electrodes, channel formation field 1a of TFT30 and 1d of source fields, drain field 1e, etc. For this reason, the laminated structure formed on the front face of substrate main part 10A of the element substrate 10 can be simplified, capacity line 3b and scanning-line 3a can be simultaneously formed at the same thin film formation process in the manufacture method of the further below-mentioned liquid crystal equipment, and the dielectric film and the gate insulator layer 2 of a storage capacitance 70 can be formed simultaneously.

[0141] Although capacity line 3b and 1st shading film 11a have positive and high reliability through the contact hole 13 punctured by the insulator layer 12 between the 1st layer and both are connected electrically, such a contact hole 13 may be punctured for every pixel, and may be punctured for every pixel group which consists of two or more pixels.

[0142] The contact hole 13 prepared for such every pixel and every pixel group is seen from the opposite substrate 20 side, and is punctured under data-line 6a. For this reason, the contact hole 13 has separated from the opening field of the pixel section, and while [ the 1st layer ] neither TFT30 nor the 1f of the 1st storage-capacitance electrodes is moreover formed, it can prevent aggravation of TFT30 by formation of a contact hole 13, other wiring, etc., aiming at a deployment of the pixel section, since it is prepared in the portion of an insulator layer 12.

[0143] In drawing 3 moreover, TFT30 for pixel switching It has LDD (Lightly Doped Drain) structure. Channel field 1a' of semiconductor layer 1a in which a channel is formed of the electric field from scanning-line 3a and scanning-line 3a, The gate insulator layer 2, data-line 6a which insulate scanning-line 3a and semiconductor layer 1a, It has 1d of high concentration source fields of low concentration source field (source side LDD field) 1b of semiconductor layer 1a and low concentration drain field (drain side LDD field) 1c, and semiconductor layer 1a, and high concentration drain field 1e.

[0144] One to which it corresponds of two or more pixel electrode 9a is connected to high concentration drain field 1e. The source fields 1b and 1d and the drain fields 1c and 1e are formed by doping the object for the N type of predetermined concentration, or the dopant for P type to semiconductor layer 1a according to whether the channel of N type or P type is formed so that it may mention later. TFT of an N type channel has the advantage that a working speed is quick, and it is used in many cases as TFT30 for pixel switching which is the switching element of a pixel.

[0145] Data-line 6a consists of thin films of shading nature, such as alloy films, such as metal membrane metallurgy group silicide, such as aluminum. Moreover, on scanning-line 3a, the gate insulator layer 2, and the insulator layer 12 between the 1st layer, while [ the 2nd layer ] the contact hole 8 which leads to the contact hole 5 and high concentration drain field 1e which lead to 1d of high concentration source fields was formed respectively, the insulator layer 4 is formed. Data-line 6a is electrically connected to 1d of high concentration source fields through the contact hole 5 to this source field 1b.

[0146] Furthermore, between data-line 6a and the 2nd layer, on the insulator layer 4, while [ the 3rd layer ] the contact hole 8 to high concentration drain field 1e was formed, the insulator layer 7 is formed. Pixel electrode 9a is electrically connected to high concentration drain field 1e through the contact hole 8 to this high concentration drain field 1e. The above-mentioned pixel electrode 9a is prepared in the upper surface of an insulator layer 7 between the 3rd layer constituted in this way. In addition, pixel electrode 9a and high concentration drain field 1e relay the same aluminum film as data-line 6a, and the same polysilicon contest film as scanning-line 3b, and you may make it connect them electrically.

[0147] the offset structure which does not drive impurity ion into low concentration source field 1b and low concentration drain field 1c although TFT30 for pixel switching has LDD structure as mentioned above preferably -- having -- \*\*\*\* -- a gate electrode (scanning-line 3a) -- a mask -- carrying out -- high concentration -- impurity ion -- devoting oneself -- self -- you may be self aryne type TFT which forms the high concentration source and a drain field conformably

[0148] Moreover, although considered as the single-gate structure which has accepted and arranged the gate electrode (scanning-line 3a) of TFT30 for pixel switching between [ one ] source-drain field 1b and 1e, you may arrange two or more gate electrodes among these. Under the present circumstances, to each gate electrode, the same signal is made to be impressed. Thus, if double-gate \*\*\*\* constitutes TFT above the triple gate, it can prevent the leakage current of a channel and a source-drain field joint, and can reduce the current at the time of OFF. If at least one of these gate electrodes is made into LDD structure or offset structure, the OFF state current can be reduced further and the stable



switching element can be obtained.

[0149] Generally here channel field 1a' of semiconductor layer 1a, and the single-crystal-silicon layer which constitutes low concentration source field 1b, low concentration drain field 1c, etc. Although a photocurrent will occur according to the photo-electric-translation effect which silicon has and the transistor characteristics of TFT30 for pixel switching will deteriorate if light carries out incidence With this operation gestalt, since data-line 6a is formed from the metal thin film of shading nature, such as aluminum, so that scanning-line 3a may be covered from the bottom, the incidence of the incident light to channel field 1a' of semiconductor layer 1a and the LDD fields 1b and 1c can be prevented at least.

[0150] Moreover, as mentioned above, to the TFT30 down side for pixel switching (substrate main part 10A side), since 1st shading film 11a is prepared, the incidence of the return light to channel field 1a' of semiconductor layer 1a and the LDD fields 1b and 1c can be prevented at least.

[0151] In addition, in this operation gestalt, since capacity line 3b and 1st shading film 11a which were prepared in the pixel of the preceding paragraph which adjoins each other, or the latter part are connected, capacity line 3b for supplying constant potential to 1st shading film 11a to the pixel of a bottom in the best stage is needed. Then, it is good to form the number of capacity line 3b in 1 excess to the number of perpendicular pixels.

[0152] (The manufacture method of electro-optics equipment) Next, the manufacture method of liquid crystal equipment of having the above-mentioned structure is explained.

[0153] First, based on drawing 9 - drawing 14, the manufacture method of the element substrate 10 is explained as the manufacture method of the element substrate of the operation gestalt concerning this invention. In addition, drawing 9 - drawing 14 are process drawings in which making a part of element substrate in each process correspond to the A-A' cross section of drawing 7, and showing it like drawing 8. Moreover, in drawing 10 - drawing 14, in order to simplify a drawing, illustration of the insulating section 205 is omitted. First, substrate main part (support substrate) 10A, such as a silicon substrate, a quartz substrate, and a glass substrate, is prepared. Here, preferably, under inert gas atmosphere, such as N<sub>2</sub> (nitrogen), annealing processing is carried out at the elevated temperature of 1000 degrees C, and about 850-1300 degrees C is pretreated so that distortion produced in substrate main part 10A in the elevated-temperature process carried out behind may decrease. That is, according to the maximum elevated temperature processed in a manufacture process, substrate main part 10A is heat-treated at the same temperature or the temperature beyond it in advance.

[0154] Thus, all over processed substrate main part 10A, as shown in drawing 9 (a), about 100-500nm thickness and the shading layer 11 which is about 200nm thickness preferably are formed for metal alloy films, such as metal metallurgy group silicide, such as Ti, Cr, W, Ta, Mo, and Pd, by the sputtering method etc.

[0155] Next, as shown in drawing 9 (b), the photoresist 207 corresponding to the pattern (refer to drawing 7) of 1st shading film 11a is formed by the photolithography.

[0156] Next, as shown in drawing 9 (c), 1st shading film 11a of a pattern as shown in drawing 7 is formed by etching to the shading layer 11 through a photoresist 207.

[0157] As shown in drawing 9 (d), next, on 1st shading film 11a By the ordinary pressure or reduced pressure CVD, for example, TEOS (tetrapod ethyl orthochromatic silicate) gas, Using TEB (tetrapod ethyl boat rate) gas, TMOP (tetrapod methyl OKISHI force rate) gas, etc., while [ the 1st layer ] consisting of silicate glass films, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, a silicon-oxide film, etc., an insulator layer 12 is formed. The thickness of an insulator layer 12 sets about 400-1000nm to about 800nm more preferably between this 1st layer, for example.

[0158] Next, as shown in drawing 9 (e), between the 1st layer, the whole front face of an insulator layer 12 is ground by the CMP (chemical mechanical polishing) method etc., and carries out flattening.

[0159] Next, as shown in drawing 9 (f), while [ the 1st layer ] flattening of the front face was carried out, lamination of substrate main part 10A shown in drawing 9 (e) in which the insulator layer 12 was formed, and single-crystal-silicon substrate 202A in which 1st silicon-oxide film 203B, a silicon nitride film or the nitriding silicon-oxide film 204, and the insulating section 205 that consists of silicon-oxide film 203of \*\* 2nd A were formed on the front face is performed. Subsequently, as shown in drawing 9 (g), it leaves the single-crystal-silicon layer 202 of a thin film on the front face of substrate main part 10A, and a great portion of single-crystal-silicon substrate 202A is exfoliated.

[0160] In addition, about the method of forming the insulating section 205 in the front face of single-crystal-silicon substrate 202A, the lamination method of of single-crystal-silicon substrate 202A and substrate main part 10A in which the insulating section 205 was formed on the front face, and the ablation method of single-crystal-silicon substrate 202A, since it explained in detail in the manufacture method of the above-mentioned SOI substrate 200, explanation is omitted.

[0161] Next, as shown in drawing 9 (h), semiconductor layer 1a of the \*\*\*\* predetermined pattern shown in drawing 7 is formed by forming the single-crystal-silicon layer 202 in a predetermined pattern through a photolithography process, an etching process, etc. That is, the 1f of the 1st storage-capacitance electrodes installed from semiconductor layer 1a which constitutes TFT30 for pixel switching is formed especially in the field in which capacity line 3b is formed along

with the field in which capacity line 3b is formed, and scanning-line 3a under data-line 6a.

[0162] Next, as shown in drawing 9 (i), a thermal oxidation silicon film with a comparatively thin thickness of about 60nm is formed for the 1f of the 1st storage-capacitance electrodes the temperature of about 850-1300 degrees C, and by oxidizing thermally about 72 minutes at the temperature of about 1000 degrees C preferably with semiconductor layer 1a which constitutes TFT30 for pixel switching, and the gate insulator layer 2 for capacity formation is formed with the gate insulator layer 2 of TFT30 for pixel switching. Consequently, it semiconductor layer 1a Reaches and, in the thickness of the 1f of the 1st storage-capacitance electrodes, the thickness of about 30-170nm and the thickness of the gate insulator layer 2 turn into thickness of about 60nm.

[0163] next, as shown in drawing 10 (a), the resist film 301 is formed in the position corresponding to semiconductor layer 1a of an N channel, and the dopant 302 of V group elements, such as P, is doped by low concentration at semiconductor layer 1a of a P channel (for example, P ion -- the acceleration voltage of 70keV(s), and the dose of  $2 \times 10^{11}$  /cm<sup>2</sup>)

[0164] next, as shown in drawing 10 (b), a resist film is formed in the position corresponding to semiconductor layer 1a of the P channel which omits illustration, and the dopant 303 of III group elements, such as B, is doped by low concentration at semiconductor layer 1a of an N channel (for example, B ion -- the acceleration voltage of 35keV(s), and the dose of  $1 \times 10^{12}$  /cm<sup>2</sup>)

[0165] Next, as shown in drawing 10 (c), the resist film 305 is formed in the front face of the substrate 10 except the edge of channel field 1a' of each semiconductor layer 1a for every P channel and N channel. The dopant 306 of III group elements, such as the dopant 306 of V group elements, such as P of an about 1 to 10 times as many dose as the process shown in drawing 10 (a) about the P channel, and B of an about 1 to 10 times as many dose as the process shown in drawing 10 (b) about the N channel, is doped.

[0166] Next, as shown in drawing 10 (d), in order to form into low resistance the 1f of the 1st storage-capacitance electrodes which install semiconductor layer 1a and become, The resist film 307 (width of face is latus from scanning-line 3a) is formed in the portion corresponding to scanning-line 3a (gate electrode) of the front face of substrate main part 10A. the dopant 308 of V group elements, such as P, is doped by low concentration from on the by making this into a mask (for example, P ion -- the acceleration voltage of 70keV(s), and the dose of  $3 \times 10^{14}$  /cm<sup>2</sup>)

[0167] next, the contact hole 13 which results in an insulator layer 12 and the insulating section 205 (illustration abbreviation) between the 1st layer at 1st shading film 11a as shown in drawing 11 (a) -- dry etching, such as reactant etching and reactant ion beam etching, -- or it forms by wet etching Under the present circumstances, there is an advantage that the direction which punctured the contact hole 13 grade can make a puncturing configuration almost the same as a mask configuration by anisotropic etching like reactant etching and reactant ion beam etching. However, if it punctures combining dry etching and wet etching, since these contact hole 13 grades will be made in the shape of a taper, the advantage that the open circuit at the time of wiring connection can be prevented is acquired.

[0168] Next, thermal diffusion of drawing 11 (Lynn (P as shown in b), after depositing the polysilicon contest layer 3 by the thickness of about 350nm by reduced pressure CVD etc.) is carried out, and the polysilicon contest film 3 is electric-conduction-ized. Or you may use the doped silicon film which introduced P ion simultaneously with membrane formation of the polysilicon contest film 3. Thereby, the conductivity of the polysilicon contest layer 3 can be raised.

[0169] Next, as shown in drawing 11 (c), capacity line 3b is formed according to the photolithography process using the resist mask, an etching process, etc. with scanning-line 3a of the \*\*\*\* predetermined pattern shown in drawing 7 . In addition, after this, the front face of substrate main part 10A is worn by the resist film, and etching removes contest polysilicon which remains at the rear face of substrate main part 10A.

[0170] Next, as shown in drawing 11 (d), in order to form the LDD field of a P channel in semiconductor layer 1a Cover the position corresponding to semiconductor layer 1a of an N channel by the resist film 309, and scanning-line 3a (gate electrode) is used as a diffusion mask. the dopant 310 of III group elements, such as B, is first doped by low concentration (for example, BF<sub>2</sub> ion -- the acceleration voltage of 90keV(s), and the dose of  $3 \times 10^{13}$  /cm<sup>2</sup>), and low concentration source field 1b of a P channel and low concentration drain field 1c are formed

[0171] Then, as shown in drawing 11 (e), in order to form 1d of high concentration source fields of a P channel, and high concentration drain field 1e in semiconductor layer 1a In the state where it covered by the resist film 309, the position corresponding to semiconductor layer 1a of an N channel And the state which formed the resist layer on scanning-line 3a corresponding to a P channel with the latus mask of width of face rather than scanning-line 3a although illustration had not been carried out, similarly the dopant 311 of III group elements, such as B, is doped by high concentration (for example, BF<sub>2</sub> ion -- the acceleration voltage of 90keV(s), and the dose of  $2 \times 10^{15}$  /cm<sup>2</sup>)

[0172] Next, as shown in drawing 12 (a), in order to form the LDD field of an N channel in semiconductor layer 1a Cover the position corresponding to semiconductor layer 1a of a P channel by the resist film (not shown), and scanning-line 3a (gate electrode) is used as a diffusion mask. the dopant 60 of V group elements, such as P, is doped by low



concentration (for example, P ion -- the acceleration voltage of 70keV(s), and the dose of  $6 \times 10^{12}$ -/cm<sup>2</sup>), and low concentration source field 1b of an N channel and low concentration drain field 1c are formed

[0173] Then, as shown in drawing 12 (b), in order to form 1d of high concentration source fields of an N channel, and high concentration drain field 1e in semiconductor layer 1a after forming a resist 62 on scanning-line 3a corresponding to an N channel with the latus mask of width of face rather than scanning-line 3a, similarly the dopant 61 of V group elements, such as P, is doped by high concentration (for example, P ion -- the acceleration voltage of 70keV(s), and the dose of  $4 \times 10^{15}$ -/cm<sup>2</sup>)

[0174] Next, using an ordinary pressure or reduced pressure CVD, TEOS gas, etc., as shown in drawing 12 (c), while [ the 2nd layer ] consisting of silicate glass films, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, a silicon-oxide film, etc., an insulator layer 4 is formed, so that capacity line 3b and scanning-line 3a may be covered with scanning-line 3a in TFT30 for pixel switching. Between the 2nd layer, the thickness of an insulator layer 4 has desirable about 500-1500nm, and its 800 morenm is more desirable.

[0175] Then, in order to activate 1d of high concentration source fields, and high concentration drain field 1e, about 850-degree C annealing processing is performed about 20 minutes.

[0176] next, the contact hole [ as opposed to / as shown in drawing 12 (d) / the data line 31 ] 5 -- dry etching, such as reactant etching and reactant ion beam etching, -- or it forms by wet etching Moreover, the contact hole for connecting with the wiring which illustrates neither scanning-line 3a nor capacity line 3b is also punctured to an insulator layer 4 between the 2nd layer according to the same process as a contact hole 5.

[0177] next, it is shown in drawing 13 (a) -- as -- the insulator layer 4 top between the 2nd layer -- spatter processing etc. -- low resistance metal metallurgy group silicide, such as aluminum of shading nature, etc. -- a metal membrane 6 -- carrying out -- the thickness of about 100-700nm -- it deposits on about 350nm preferably, and as further shown in drawing 13 (b), data-line 6a is formed according to a photolithography process, an etching process, etc.

[0178] Next, using an ordinary pressure or reduced pressure CVD, TEOS gas, etc., as shown in drawing 13 (c), while [ the 3rd layer ] consisting of silicate glass films, such as NSG, PSG, BSG, and BPSG, a silicon nitride film, a silicon-oxide film, etc., an insulator layer 7 is formed, so that a data-line 6a top may be covered. Between the 3rd layer, the thickness of an insulator layer 7 has desirable about 500-1500nm, and its 800 morenm is more desirable.

[0179] Next, as shown in drawing 14 (a), in TFT30 for pixel switching, the contact hole 8 for connecting electrically pixel electrode 9a and high concentration drain field 1e is formed by dry etching, such as reactant etching and reactant ion beam etching.

[0180] Next, between the 3rd layer, as shown in drawing 14 (b), as the transparent conductivity thin films 9, such as ITO, are deposited on the thickness of about 50-200nm and are further shown in drawing 14 (c) by spatter processing etc., pixel electrode 9a is formed according to a photolithography process, an etching process, etc. on an insulator layer 7. In addition, when the liquid crystal equipment of this operation gestalt is reflected type liquid crystal equipment, you may form pixel electrode 9a from an opaque material with high reflection factors, such as aluminum.

[0181] Then, after applying the application liquid of the orientation film of a polyimide system on pixel electrode 9a, the orientation film 16 (refer to drawing 8 ) is formed in the predetermined direction by performing rubbing processing etc. so that it may have a predetermined pre tilt angle.

[0182] The element substrate 10 is manufactured as mentioned above.

[0183] By sticking single-crystal-silicon substrate 202A and substrate main part 10A in which the silicon nitride film or the nitriding silicon-oxide film 204 was formed on the front face according to the manufacture method of the element substrate of this operation gestalt Since a silicon nitride film or the nitriding silicon-oxide film 204 can be located in the semiconductor layer 1a (TFT30) side rather than the lamination side of substrate main part 10A and single-crystal-silicon substrate 202A The impurity contained in substrate main part 10A and the impurity which stuck to the lamination side of substrate main part 10A and single-crystal-silicon substrate 202A can prevent completely being spread in the semiconductor layer 1a (TFT30) side.

[0184] Moreover, since it can prevent completely that the impurity contained in substrate main part 10A and the impurity which stuck to the lamination side of substrate main part 10A and single-crystal-silicon substrate 202A diffuse the element substrate 10 manufactured by the manufacture method of the element substrate of this operation gestalt to the semiconductor layer 1a (TFT30) side, degradation of the property of TFT30 can be prevented.

[0185] And especially the element substrate 10 manufactured by the manufacture method of the element substrate of this operation gestalt The silicon nitride film or the nitriding silicon-oxide film 204 which is a precise film of low permeability to an oxidization kind or impurities, such as oxygen and moisture it can prevent effectively that an oxidization kind is spread in 1st shading film 11a which consists of a refractory metal etc., and an impurity is simultaneously spread from 1st shading film 11a to semiconductor layer 1a -- a thing can be prevented effectively

[0186] Next, how to manufacture liquid crystal equipment from the manufacture method of the opposite substrate 20

and the element substrate 10, and the opposite substrate 20 is explained.

[0187] About the opposite substrate 20 shown in drawing 8, light-transmission nature substrates, such as a glass substrate, are prepared as substrate main part 20A, and the 2nd shading film 23 and the 2nd shading film as circumference abandonment mentioned later are formed on the front face of substrate main part 20A. The 2nd shading film 23 and the 2nd shading film as circumference abandonment mentioned later are formed through a photolithography process and an etching process, after carrying out sputtering of the metallic materials, such as Cr, nickel, and aluminum. In addition, these 2nd shading films may form others, above-mentioned carbon, above-mentioned Ti, etc. from material, such as resin black which the photoresist was made to distribute. [ metallic material ]

[0188] Then, a counterelectrode 21 is formed by the sputtering method etc. the whole surface on the front face of substrate main part 20A by depositing transparent conductivity thin films, such as ITO, on the thickness of about 50-200nm. Furthermore, after applying the application liquid of orientation films, such as a polyimide, the whole surface on the front face of a counterelectrode 21, the orientation film 22 (refer to drawing 8) is formed in the predetermined direction by performing rubbing processing etc. so that it may have a predetermined pre tilt angle. The opposite substrate 20 is manufactured as mentioned above.

[0189] The liquid crystal equipment of the above-mentioned structure is manufactured by the sealant by attracting the liquid crystal which comes to mix two or more kinds of pneumatic liquid crystals, and forming in the space between both substrates the liquid crystal layer 50 which has predetermined thickness by methods, such as lamination and vacuum suction, so that the orientation films 16 and 22 may counter mutually the element substrate 10 and the opposite substrate 20 which were manufactured as mentioned above by the last.

[0190] (The whole liquid crystal equipment composition) The whole liquid crystal equipment (electro-optics equipment) composition of this operation gestalt constituted as mentioned above is explained with reference to drawing 15 and drawing 16. In addition, drawing 15 is the plan which looked at the element substrate 10 from the opposite substrate 20 side, and drawing 16 is an H-H' cross section of drawing 15 shown including the opposite substrate 20.

[0191] In drawing 15, on the front face of the element substrate 10, the sealant 52 is formed along the edge, and as shown in drawing 16, the opposite substrate 20 with the almost same profile as the sealant 52 shown in drawing 15 has fixed to the element substrate 10 by the sealant 52 concerned.

[0192] As shown in drawing 15, on the front face of the opposite substrate 20, it is made concurrent inside a sealant 52, and the circumference abandonment which consists of material which is the same as the 2nd shading film 23, or is different, for example, or the 2nd shading film 53 as a frame is formed.

[0193] Moreover, in the element substrate 10, the data-line drive circuit 101 and the mounting terminal 102 are formed in the field of the outside of a sealant 52 along with one side of the element substrate 10, and the scanning-line drive circuit 104 is established in it along with two sides which adjoin this one side. When the scanning signal delay supplied to scanning-line 3a does not become a problem, the scanning-line drive circuit 104 cannot be overemphasized by the thing only with sufficient one side.

[0194] Moreover, you may arrange the data-line drive circuit 101 on both sides along the side of a viewing area (pixel section). For example, data-line 6a of an odd number train supplies a picture signal from the data-line drive circuit arranged along one side of a viewing area, and you may make it data-line 6a of an even number train supply a picture signal from the data-line drive circuit arranged along the side of the opposite side of a viewing area. Thus, if it is made to drive data-line 6a in the shape of a ctenidium, since the occupancy area of a data-line drive circuit is extensible, it becomes possible to constitute a complicated circuit.

[0195] Furthermore, two or more wiring 105 for connecting between the scanning-line drive circuits 104 established in the both sides of a viewing area is formed in one side in which the element substrate 10 remains, further, it may hide in the bottom of the 2nd shading film 53 as circumference abandonment, and a precharge circuit may be prepared.

Moreover, in at least one place of the corner section between the element substrate 10 and the opposite substrate 20, the flow material 106 for taking an electric flow between the element substrate 10 and the opposite substrate 20 is formed.

[0196] Moreover, on the front face of the element substrate 10, you may form the inspection circuit for inspecting the quality of the liquid crystal equipment at the manufacture middle or the time of shipment, a defect, etc. further. Moreover, you may make it connect with LSI for a drive mounted on TAB (tape automated bonding substrate) instead of forming the data-line drive circuit 101 and the scanning-line drive circuit 104 on the front face of the element substrate 10 electrically and mechanically through the anisotropy electric conduction film prepared in the boundary region of the element substrate 10.

[0197] Moreover, according to the exception of modes of operation, such as TN (Twisted Nematic) mode, STN (Super Twisted Nematic) mode, VA (Vertically Aligned) mode, and PDLC (Polymer Dispersed Liquid Crystal) mode, and the normally white mode / normally black mode, a polarization film, a phase contrast film, a polarization means, etc. are respectively arranged in a predetermined direction at the side in which the light of the side in which the light of the

opposite substrate 20 carries out incidence, and the element substrate 10 carries out outgoing radiation.

[0198] When the liquid crystal equipment of this operation gestalt is applied to an electrochromatic display projector (projected type display), the liquid crystal equipment of three sheets will be respectively used as a light valve for RGB, and incidence of the light of each color respectively decomposed through the dichroic mirror for RGB color separation will be respectively carried out to each panel as an incident light. Therefore, as the above-mentioned operation gestalt showed in that case, the light filter is not prepared in the opposite substrate 20.

[0199] However, you may form the light filter of RGB in the predetermined field which counters pixel electrode 9a by which the 2nd shading film 23 is not formed on the liquid crystal layer 50 side front face of substrate main part 20A of the opposite substrate 20 with the protective coat. The liquid crystal equipment of the above-mentioned operation gestalt is applicable to electrochromatic display equipments, such as such composition, then direct viewing types other than a liquid crystal projector, reflected type electrochromatic display television.

[0200] Furthermore, you may form a micro lens so that it may correspond to 1 pixel per piece on the front face of the opposite substrate 20. If it does in this way, bright liquid crystal equipment is realizable by improving the condensing efficiency of an incident light. Furthermore, you may form the die clo IKKU filter which makes a RGB color using interference of light by depositing the interference layer to which the refractive index of many layers is different on the front face of the opposite substrate 20 again. According to this opposite substrate with a die clo IKKU filter, brighter electrochromatic display equipment is realizable.

[0201] In addition, since it is considering as the composition which prepares 1st shading film 11a in the element substrate 10, incidence of the incident light is carried out from the element substrate 10 side, and it may be made to carry out outgoing radiation, although [ the liquid crystal equipment in this operation gestalt ] incidence of the incident light is carried out from the opposite substrate 20 side from the opposite substrate 20 side. That is, even if it attaches liquid crystal equipment in a liquid crystal projector in this way, it is possible to be able to prevent light carrying out incidence to channel field 1a' of semiconductor layer 1a and the LDD fields 1b and 1c, and to display a high-definition picture on them.

[0202] Moreover, since the liquid crystal equipment of this operation gestalt is equipped with the element substrate 10 manufactured by the manufacture method of the element substrate of this operation gestalt Since it can prevent completely that the impurity contained in substrate main part 10A and the impurity which stuck to the lamination side of substrate main part 10A and single-crystal-silicon substrate 202A are spread to the semiconductor layer 1a (TFT30) side Degradation of the property of TFT (transistor element)30 can be prevented, and it becomes what was excellent in the performance.

[0203] and the property which an as opposed to [ since it can prevent effectively that can prevent effectively that an oxidization kind is especially spread by the silicon-nitride-film or nitriding silicon-oxide film 204 in 1st shading film 11a with the liquid crystal equipment of this operation gestalt, and an impurity is simultaneously spread to semiconductor layer 1 from 1st shading film 11a a, continue at a long period of time, return, and ] light shading performance can be maintained to a high level, and is TFT30 is maintainable

[0204] (Electric composition of liquid crystal equipment) Next, the electric composition of liquid crystal equipment (electro-optics equipment) is explained. Liquid crystal equipment has the composition of having countered the electrode forming face and having stuck the element substrate and the opposite substrate of each other. Among these, if it is in an element substrate, two or more data-lines 6a is formed in parallel along the direction of Y which two or more scanning-lines 3a arranges in parallel, and is formed along the direction of X in drawing 21 , and intersects perpendicularly with this. In each intersection of such scanning-line 3a and data-line 6a, while the gate electrode of TFT30 is connected to scanning-line 3a and the source electrode of TFT30 is connected to data-line 6a, the drain electrode of TFT30 is connected to pixel electrode 9a. And each pixel will be arranged in the shape of a matrix corresponding to each intersection of scanning-line 3a and data-line 6a, as a result of being constituted by pixel electrode 9a, the common electrode formed in the opposite substrate, and the liquid crystal pinched among these two electrodes. In addition, in addition to this, the storage capacitance (illustration ellipsis) is formed in parallel to the liquid crystal which saw electrically and was pinched by pixel electrode 9a and the common electrode for every pixel.

[0205] Now, the drive circuit 110 consists of the dummy circuit 120, the data-line drive circuit 101, a sampling circuit 140, and a scanning-line drive circuit 104, is in the opposed face in an element substrate, and is formed in the periphery of a viewing area. Each active element of these circuits is formed of the combination of p-channel type TFT and n channel type TFT. The drive circuit 110 is formed in TFT30 which switches a pixel, and a common manufacture process. This becomes advantageous in points, such as integration and the homogeneity of a manufacturing cost and an element.

[0206] Here, the composition of the dummy circuit 120 simulates a part of data-line drive circuit 101 and sampling circuit 140 among the drive circuits 110. The dummy circuit 120 is formed in order to detect the phase contrast of

picture signals VID1-VID6 and the sampling signals S1-Sm.

[0207] The data-line drive circuit 101 has a shift register, and outputs the sampling signals S1-Sm one by one based on the X clock signal CLX from a timing generator 150, and its reversal X clock signal CLXINV.

[0208] A sampling circuit 140 makes six data-lines 6a one group (a block is called hereafter), to data-line 6a belonging to these blocks, according to the sampling signals S1-Sm, samples picture signals VID1-VID6, respectively, and supplies them. In detail, while the switch 141 which becomes a sampling circuit 140 from n channel type TFT is formed in the end of each data line 114, the source electrode of each switch 141 is connected to the signal line to which either of the picture signals VID1-VID6 is supplied, and the drain electrode of each switch 141 is connected to one data-line 6a. Furthermore, the gate electrode of each switch 141 connected to data-line 6a belonging to each group is connected to either of the picture signal lines by which the sampling signals S1-Sm are supplied corresponding to the group. In this example, picture signals VID1-VID6 will be supplied simultaneously, and will be simultaneously sampled by the sampling signal S1.

[0209] By the way, the speed of response of TFT changes with temperature or accumulation times. Therefore, on the basis of picture signals VID1-VID6, the phase of the sampling signals S1-Sm progresses, or is overdue. When phase gap is remarkable, ranging over the timing from which the level of picture signals VID1-VID6 changes, a bird clapper has the sampling signals S1-Sm actively. Then, quality-of-image degradation which will not be mixed in the picture signal which should be supplied to the block with which the picture signals VID1-VID6 which should originally be supplied to a certain block adjoin is caused. It detects using the dummy circuit 120 which mentioned above the phase relation between picture signals VID1-VID6 and the sampling signals S1-Sm that it should prevent such un-arranging, and the phase of the sampling signals S1-Sm over picture signals VID1-VID6 is adjusted based on a detection result.

[0210] The scanning-line drive circuit 104 has a shift register, and outputs a scanning signal one by one to each scanning-line 3a based on the Y clock signal CLY from a timing generator 150, the reversal Y clock signal CLYINV, the Y transfer X transfer start pulse DX, etc. In addition, the Y transfer X transfer start pulse DX becomes active [ a predetermined time ] in the start of each field period.

[0211] Furthermore, the monitor signal line is formed in liquid crystal equipment. The monitor signal line is wired by six picture signal lines and parallel which supply picture signals VID1-VID6, and the line breadth is equal to a picture signal line. By the way, since a picture signal line has distribution resistance and a capacity component, it forms a ladder type low pass filter in equivalent. For this reason, after picture signals VID1-VID6 are supplied to the input terminal in the left end of liquid crystal equipment, by the time it reaches a right end, a time delay will exist. Time since the monitor signal line is constituted like the picture signal line, after the input monitor signal M1 is supplied to a monitor signal line until it reaches the dummy circuit 120 is almost equal to the time delay mentioned above.

[0212] (Data-line drive circuit) Next, the data-line drive circuit 101 is explained as an example of a circumference circuit. Drawing 22 is the circuit diagram showing the composition of the data-line drive circuit 101. A shift register 1350 carries out  $m+2$  ( $m$  is the natural number) stage cascade connection of unit circuit R1-R $m+2$ , according to the X clock signal CLX and reversal X clock signal CLXINV, from the unit circuit of the preceding paragraph (left-hand side), shifts to a latter (right-hand side) unit circuit the start pulse DX supplied to the beginning of a horizontal scanning period one by one, and outputs it to it. In addition, the start pulse DX becomes active [ a predetermined time ] in the start of each horizontal scanning period.

[0213] these -- each -- the unit circuits R1 and R3 of the odd level among unit circuit R1-R $m+2$  -- ..... The clocked inverter 1352 with which R $m+2$  reverse an input signal when the X clock signal CLX is H level (when reversal X clock signal CLXINV is L level), It has the inverter 1354 which re-reverses the reversal signal by the clocked inverter 1352, and the clocked inverter 1356 which reverses an input signal when the X clock signal CLX is L level (when reversal Y clock signal CLYINV is H level).

[0214] on the other hand -- each -- although the unit circuits R2 and R4 of even level, ....., R $m+1$  are the unit circuits R1 and R3 of odd level, ....., the same composition as R $m+2$  fundamentally among unit circuit R1-R $m+2$ , a clocked inverter 1352 reverses an input signal, when the X clock signal CLX is L level, and clocked inverters 1356 differ in the point which reverses an input signal, when the X clock signal CLX is H level

[0215] Next, in drawing 23, NAND circuit 1376, an inverter 1378, and AND circuit 1379 are formed from the 3rd step of a shift register 1350 corresponding to the  $m+2$ nd step, respectively, and all consist of complementary types combining p-channel type TFT and n channel type TFT.

[0216] Among these, in drawing 22, i-th NAND circuit 1376 reverses from the left the AND of the output signal of a unit circuit located in the i-1st step in a shift register 1350, and the output signal of a unit circuit located in the i-th step. Moreover, the inverter 1378 of each stage reverses the output signal of corresponding NAND circuit 1378. Furthermore, AND circuit 1379 has composition which outputs the AND of the corresponding output signal of an inverter 1378 and a corresponding enable signal EN as sampling signals S1, S2, ..., Sm.

[0217] (Semiconductor device which constitutes a circumference circuit) The example concerning the semiconductor device which next constitutes the circumference circuit by this invention is explained with reference to drawing 28 from drawing 23. It is the plan with which drawing 25 to drawing 23 and drawing 28 show the various examples of a semiconductor device here, respectively. Moreover, drawing 24 is the cross section showing the double-gate structure which pinches the channel field in the inverter circuit shown in drawing 23 from the upper and lower sides.

[0218] As for the semiconductor device of this example, it comes to form a transistor element on a SOI substrate. And like the case of the SOI substrate shown in drawing 1, a support substrate and a single-crystal-silicon layer are provided, and the insulating section which has a monolayer or multilayer structure between a support substrate and a single-crystal-silicon layer is formed. In addition to such structure, by this example, it has especially the conductive member which functions on the support substrate side (namely, a single-crystal-silicon layer opposite side) of the insulating section as a gate electrode or a gate line. And this insulating section is constituted so that it may function as a gate insulator layer.

[0219] In drawing 23, an inverter circuit 400 has three-dimensional double-gate structure. An inverter circuit 400 is equipped with the input line 401 and output line 402 which are formed from the same conductive layer (for example, aluminum layer), the VDD potential line (high potential line) 403, and the VSS potential line (low voltage line) 404. Furthermore, it has the P channel field 411 and the N channel field 412 which were formed as a semiconductor layer from the single-crystal-silicon layer which makes SOI structure. And the top gate electrode 421 is formed in the P channel field 411 and N channel field 412 bottom through the gate insulator layer, and the bottom gate electrode 422 is formed in the P channel field 411 and N channel field 412 bottom through the gate insulator layer.

[0220] That is, as shown in drawing 24, the bottom gate electrode 422 is formed on the support substrate 201 from the film containing refractory metals, such as what carried out the laminating of simple substances, such as contest polysilicon or tungsten silicide, or these, the laminating of the P channel field 411 or the N channel field 412 is carried out through the insulating section 205 on it, and a part of insulating section 205 functions as a gate insulator layer. On the other hand, on the P channel field 411 or the N channel field 412, the top gate electrode 421 is formed for example, from tungsten silicide through the gate insulator layer 431. The top gate electrode 421 and the bottom gate electrode 422 are connected to the common input line 401 through the contact hole 441. The VDD potential line 403 is connected to the source of P channel type TFT451 through the contact hole 442, and the VSS potential line 404 is connected to the source of N channel type TFT452 through the contact hole 443. And the drain of P channel type TFT451 and N channel type TFT452 is connected to the common output line 402 through a contact hole 444, respectively.

[0221] The inverter circuit 400 which comes to combine P channel type TFT451 and N channel type TFT452 is constituted by the above. Since the impurity contained in the support substrate 201 and the impurity which stuck to the lamination side of the support substrate 201 can prevent being spread to the TFT side by the insulating section 205 according to the inverter circuit 400 of this example, degradation of the property of TFT can be prevented. Moreover, diffusion of the impurity from an example slack bottom gate electrode 422 of conductive member to a semiconductor layer side can be effectively prevented by the insulating section 205. In addition, the bottom gate electrode 422 functions also as a shading film, and generating of the optical leakage current in TFT can be prevented effectively.

[0222] NAND circuit 500 is equipped with the input lines 501a and 501b and output line 502 which are formed from the same aluminum layer, the VDD potential line 503, and the VSS potential line 504 in drawing 25. Like the inverter circuit 400 shown in drawing 24, the laminating of the semiconductor layer is carried out through the insulating section on the support substrate, and the top gate electrodes 521a and 521b are formed for example, from tungsten silicide through the gate insulator layer on it by the laminated structure in NAND circuit 500. Since the impurity contained in the support substrate and the impurity which stuck to the lamination side of a support substrate can prevent being spread to the TFT side by the insulating section according to NAND circuit 500 of this example, degradation of the property of TFT can be prevented.

[0223] NOR circuit 600 is equipped with the input lines 601a and 601b and output line 602 which are formed from the same aluminum layer, the VDD potential line 603, and the VSS potential line 604 in drawing 26. Like the inverter circuit 400 shown in drawing 24, the laminating of the semiconductor layer is carried out through the insulating section on the support substrate, and the top gate electrodes 621a and 621b are formed for example, from tungsten silicide through the gate insulator layer on it by the laminated structure in NOR circuit 600. Since the impurity contained in the support substrate and the impurity which stuck to the lamination side of a support substrate can prevent being spread to the TFT side by the insulating section according to NOR circuit 600 of this example, degradation of the property of TFT can be prevented.

[0224] In drawing 27, NAND circuit 700 has three-dimensional double-gate structure. NAND circuit 700 is equipped with the input lines 701a and 701b and output line 702 which are formed from the same aluminum layer, the VDD potential line 703, and the VSS potential line 704. Like the inverter circuit 400 shown in drawing 24, bottom gate



electrode 721a is formed on the support substrate, the laminating of the semiconductor layer is carried out through the insulating section by the laminated structure in NAND circuit 700 on it, and a part of this insulating section functions as a gate insulator layer. On the other hand, on the semiconductor layer, top gate electrode 721b is formed through the gate insulator layer.

[0225] Since the impurity contained in the support substrate and the impurity which stuck to the lamination side of a support substrate can prevent being spread to the TFT side by the insulating section according to NAND circuit 700 which has the double-gate structure of this example, degradation of the property of TFT can be prevented. Moreover, diffusion of the impurity from example slack bottom gate electrode 721a of conductive member to a semiconductor layer side can be effectively prevented by the insulating section. In addition, bottom gate electrode 721a functions also as a shading film, and can prevent generating of the optical leakage current in TFT effectively. And NAND circuit 700 has especially the profits that occupancy area is reduced as compared with NAND circuit 500 of drawing 25.

[0226] In drawing 28, NOR circuit 800 has three-dimensional double-gate structure. NOR circuit 800 is equipped with the input lines 801a and 801b and output line 802 which are formed from the same aluminum layer, the VDD potential line 803, and the VSS potential line 804. Like the inverter circuit 400 shown in drawing 24, bottom gate electrode 821a is formed on the support substrate, the laminating of the semiconductor layer is carried out through the insulating section by the laminated structure in NOR circuit 800 on it, and a part of this insulating section functions as a gate insulator layer. On the other hand, on the semiconductor layer, top gate electrode 821b is formed through the gate insulator layer.

[0227] Since the impurity contained in the support substrate and the impurity which stuck to the lamination side of a support substrate can prevent being spread to the TFT side by the insulating section according to NOR circuit 800 which has the double-gate structure of this example, degradation of the property of TFT can be prevented. Moreover, diffusion of the impurity from example slack bottom gate electrode 821a of conductive member to a semiconductor layer side can be effectively prevented by the insulating section. In addition, bottom gate electrode 821a functions also as a shading film, and can prevent generating of the optical leakage current in TFT effectively. And NOR circuit 800 has especially the profits that occupancy area is reduced as compared with NOR circuit 600 of drawing 26.

[0228] (Electronic equipment) As an example of the electronic equipment using the liquid crystal equipment (electro-optics equipment) of the above-mentioned operation gestalt, the composition of projected type display is explained with reference to drawing 29.

[0229] In drawing 29, the projected type display 1100 prepares three liquid crystal equipments of the above-mentioned operation gestalt, and shows the outline block diagram of the optical system of the projected type liquid crystal equipment used as liquid crystal equipments 962R, 962G, and 962B for RGB, respectively.

[0230] Light equipment 920 and the uniform lighting optical system 923 are adopted as the optical system of the projected type display of this example. And the color separation optical system 924 as a color separation means by which projected type display separates into red (R), green (G), and blue (B) the flux of light W by which outgoing radiation is carried out from this uniform lighting optical system 923, Three light valves 925R, 925G, and 925B as a modulation means to modulate each colored light bunches R, G, and B, It has the projector-lens unit 906 as the color composition prism 910 as a color composition means to re-compound the colored light bunch after becoming irregular, and a projection means which carries out expansion projection of the compounded flux of light on the front face of a plane of incidence 100. Moreover, it also has the light guide system 927 which leads the blue flux of light B to corresponding light-valve 925B.

[0231] The uniform lighting optical system 923 is equipped with two lens boards 921 and 922 and reflective mirrors 931, and is arranged at the state where two lens boards 921 and 922 intersect perpendicularly on both sides of the reflective mirror 931. Two lens boards 921 and 922 of the uniform lighting optical system 923 are equipped with two or more rectangle lenses arranged in the shape of a matrix, respectively. The flux of light by which outgoing radiation was carried out from light equipment 920 is divided into two or more partial flux of lights by the rectangle lens of the 1st lens board 921. And these partial flux of lights are superimposed three light valves 925R and 925G and near 925B with the rectangle lens of the 2nd lens board 922. Therefore, even when it has the illumination distribution with light equipment 920 uneven within the cross section of an outgoing beam by using the uniform lighting optical system 923, it becomes possible to illuminate three light valves 925R, 925G, and 925B with a uniform lighting light.

[0232] Each color separation optical system 924 consists of a bluish green reflective dichroic mirror 941, a green reflective dichroic mirror 942, and a reflective mirror 943. First, in the bluish green reflective dichroic mirror 941, the blue flux of light B included in the flux of light W and the green light bunch G are reflected right-angled, and it goes to the green reflective dichroic mirror 942 side. This mirror 941 is passed, it is reflected right-angled by the back reflective mirror 943, and outgoing radiation of the red flux of light R is carried out to the prism unit 910 side from the outgoing radiation section 944 of the red flux of light R.

[0233] Next, in the green reflective dichroic mirror 942, the green light bunch G is reflected right-angled among the blue and the green light bunches B and G which were reflected in the bluish green reflective dichroic mirror 941, and outgoing radiation is carried out to a tone Narimitsu study system side from the outgoing radiation section 945 of the green light bunch G.

[0234] Outgoing radiation of the blue flux of light B which passed the green reflective dichroic mirror 942 is carried out to the light guide system 927 side from the outgoing radiation section 946 of the blue flux of light B. In this example, it is set up so that the distance from the outgoing radiation section of the flux of light W of a uniform lighting optical element to the outgoing radiation sections 944, 945, and 946 of each colored light bunch in the color separation optical system 924 may become almost equal.

[0235] Condenser lenses 951 and 952 are arranged at the outgoing radiation side of the red of the color separation optical system 924, and the outgoing radiation sections 944 and 945 of the green light bunches R and G, respectively. Therefore, incidence of the red and the green light bunches R and G which carried out outgoing radiation from each outgoing radiation section is carried out to these condenser lenses 951 and 952, and they are parallel-ized.

[0236] Thus, incidence of the red and the green light bunches R and G which were parallel-ized is carried out to light valves 925R and 925G, they are modulated, and the image information corresponding to each colored light is added. That is, according to image information, switching control of these liquid crystal equipments is carried out by the driving means which are omitting illustration, and, thereby, the modulation of each colored light which passes through this is performed. On the other hand, the blue flux of light B is led to light-valve 925B which corresponds through the light guide system 927, and a modulation is similarly given in here according to image information. In addition, the light valves 925R, 925G, and 925B of this example are liquid crystal light valves which consist of the incidence side polarization meanses 960R, 960G, and 960B, outgoing radiation side polarization meanses 961R, 961G, and 961B, and liquid crystal equipments 962R, 962G, and 962B arranged among these further, respectively.

[0237] The light guide system 927 consists of a middle lens 973 arranged between the condenser lens 954 arranged to the outgoing radiation side of the outgoing radiation section 946 of the blue flux of light B, the incidence side reflective mirror 971, the outgoing radiation side reflective mirrors 972, and these reflective mirrors, and a condenser lens 953 arranged to the near side of light-valve 925B. From a condenser lens 946, through the light guide system 927, the blue flux of light B by which outgoing radiation was carried out is led to liquid crystal equipment 962B, and is modulated. The blue flux of light B becomes the longest, therefore the quantity of light loss of the blue flux of light of distance from the optical path length of each colored light bunch, i.e., the outgoing radiation section of the flux of light W, to each liquid crystal equipments 962R, 962G, and 962B increases most. However, quantity of light loss can be suppressed by making the light guide system 927 intervene.

[0238] Incidence of each colored light bunches R, G, and B modulated through each light valves 925R, 925G, and 925B is carried out to the color composition prism 910, and they are compounded here. And expansion projection is carried out on the front face of the plane of incidence 100 which has the light compounded by this color composition prism 910 in a position through the projector-lens unit 906.

[0239] Since the projected type display 1100 which has the above-mentioned structure is equipped with the liquid crystal equipment of the above-mentioned operation gestalt, it can prevent degradation of the property of TFT (transistor element), and becomes what was excellent in the performance.

[0240] this invention is not restricted to the operation gestalt mentioned above, and can be suitably changed in the range which is not contrary to the summary or thought of invention which can be read in a claim and the whole specification, and the electro-optics equipment accompanied by such change, its method, and electronic equipment are also contained in the technical range of this invention.



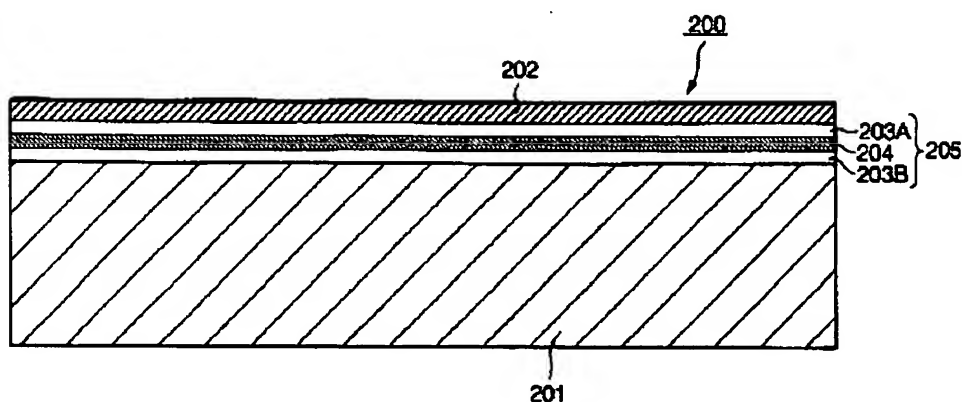
## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

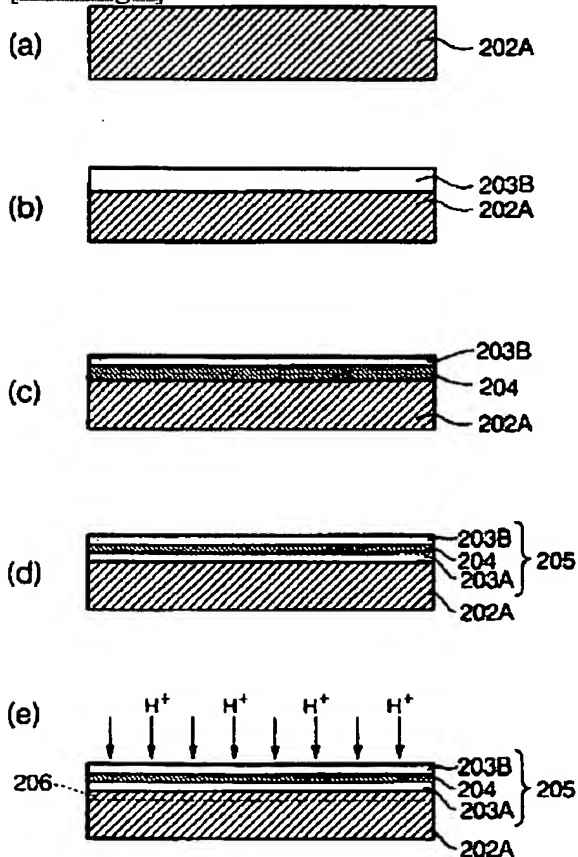
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DRAWINGS

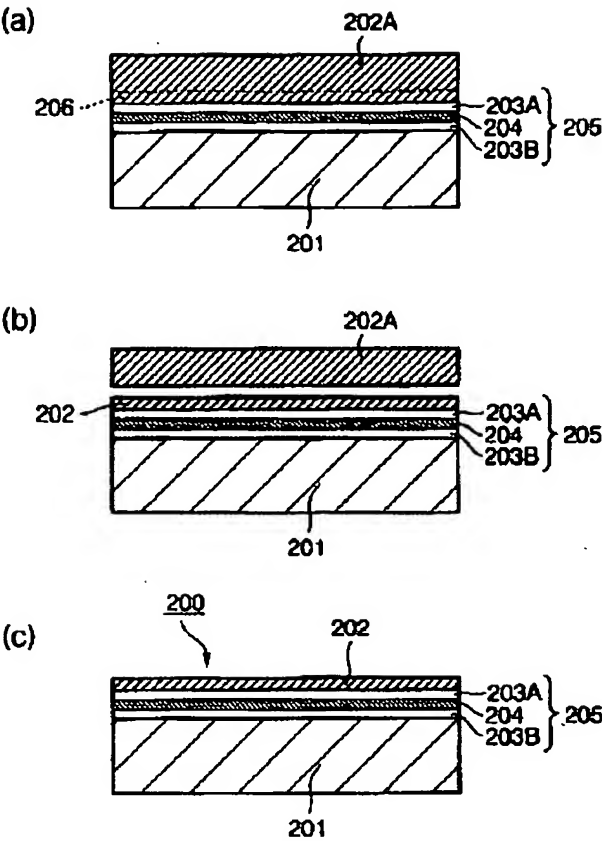
[Drawing 1]



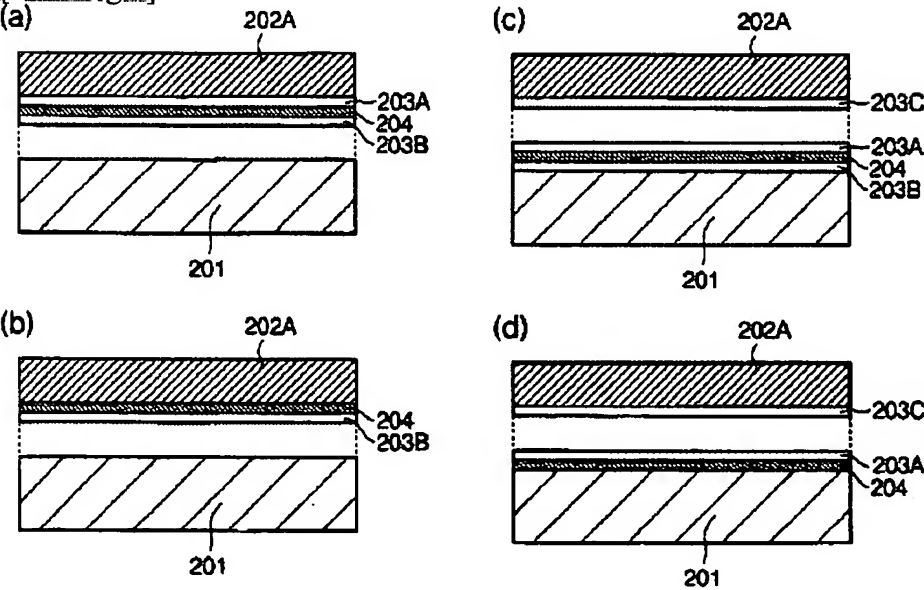
[Drawing 2]



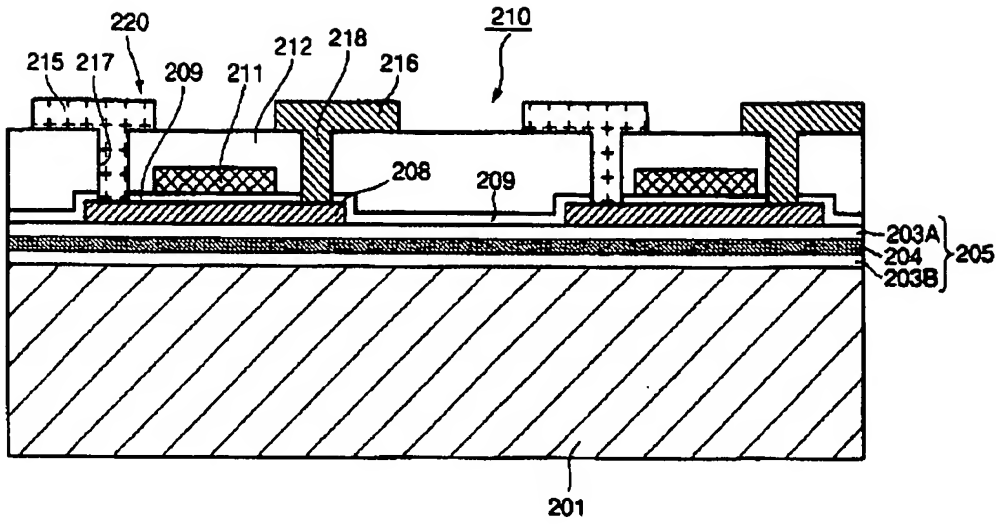
[Drawing 3]



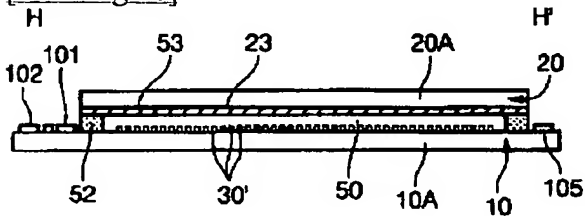
[Drawing 4]



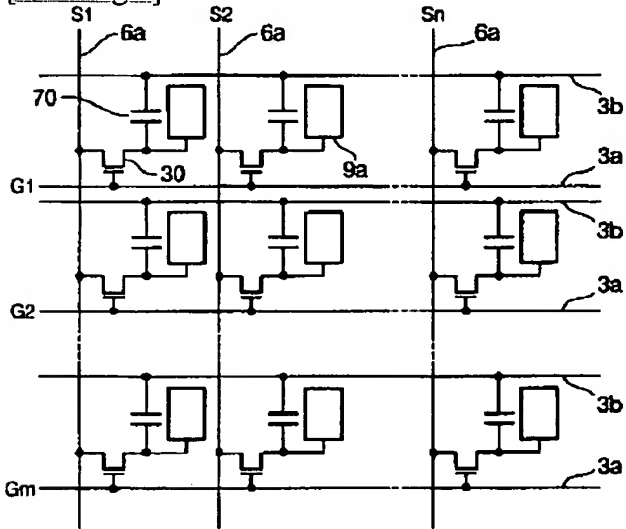
[Drawing 5]



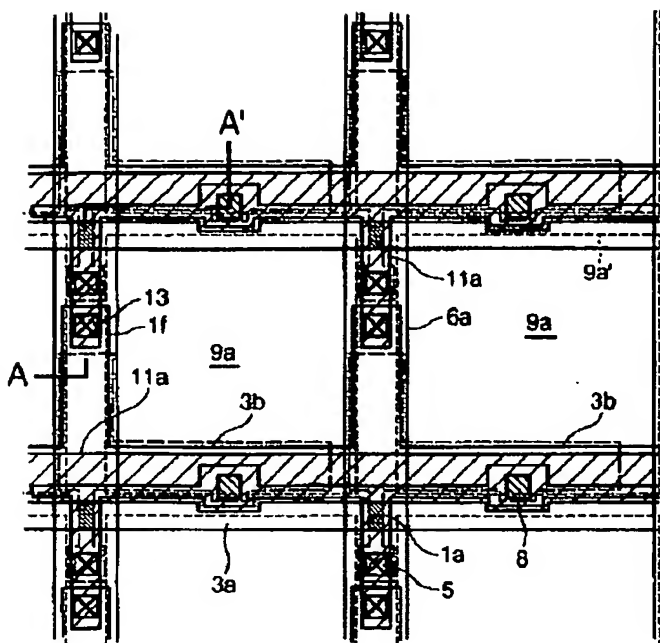
[Drawing 16]



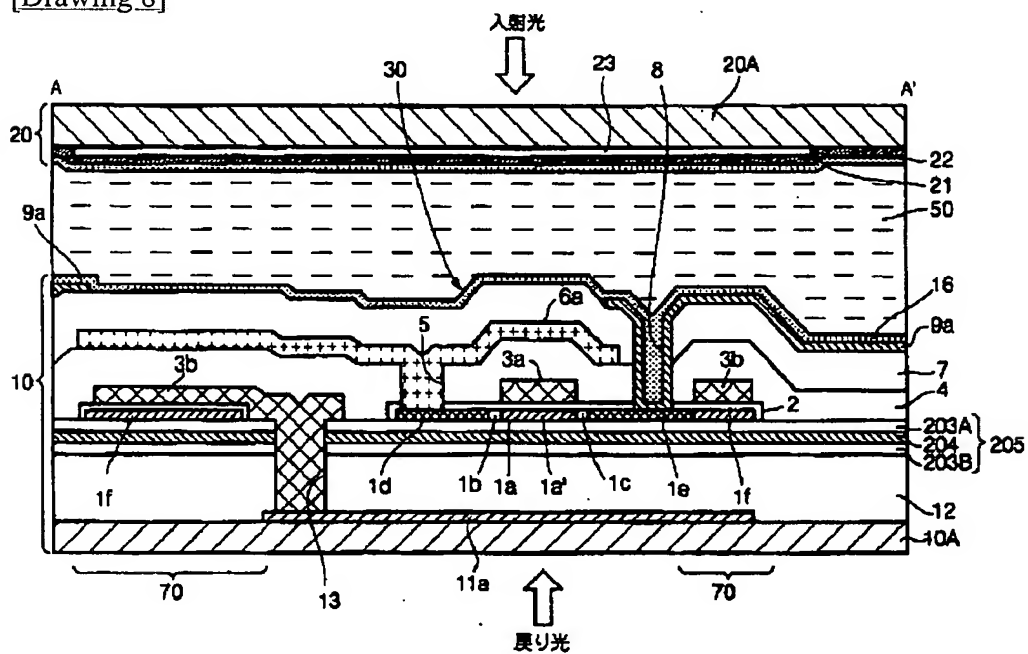
[Drawing 6]



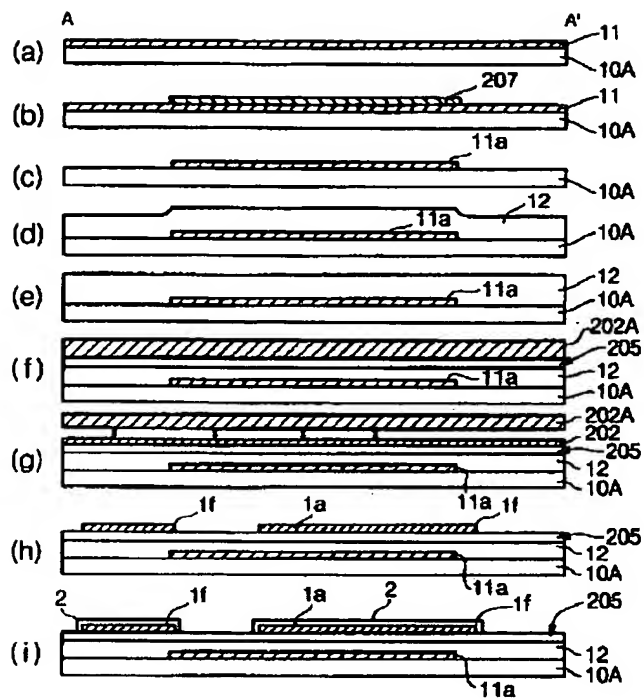
[Drawing 7]



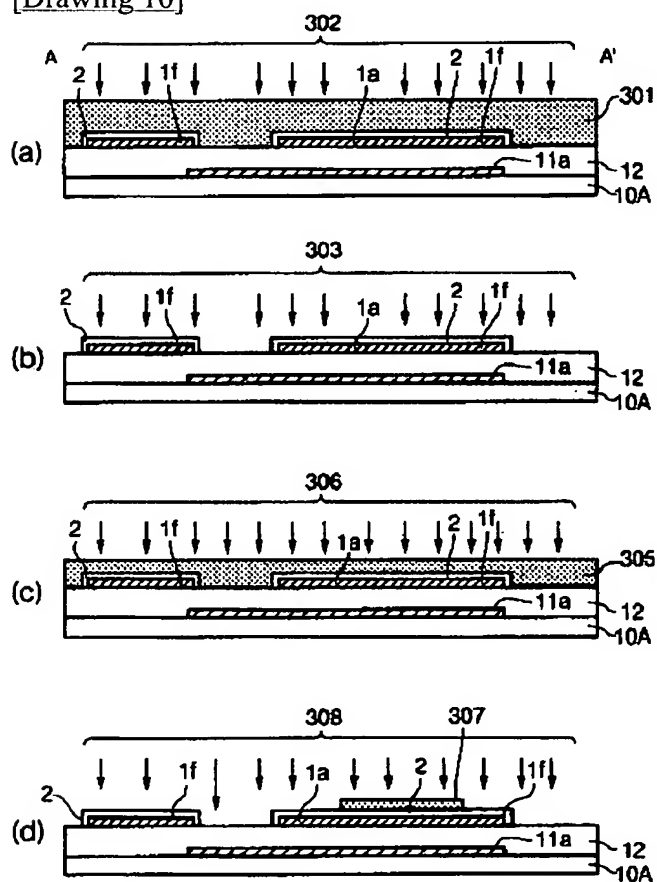
[Drawing 8]



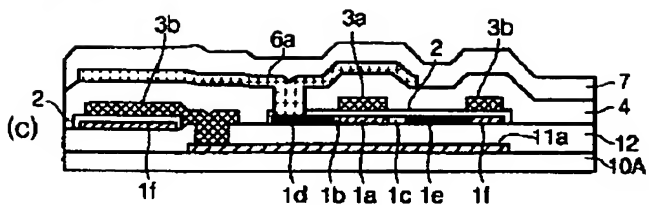
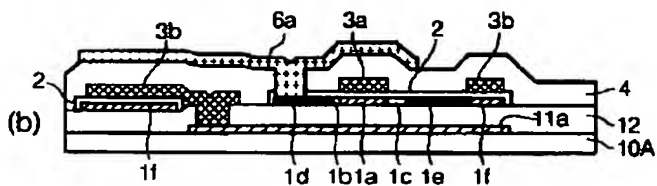
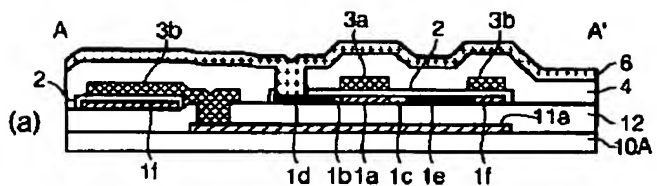
[Drawing 9]



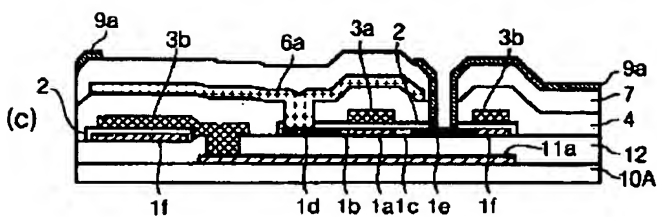
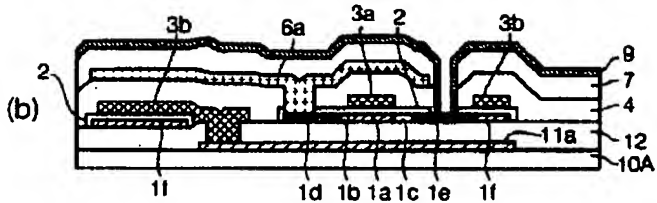
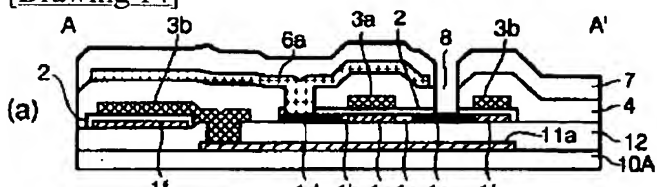
[Drawing 10]



[Drawing 13]

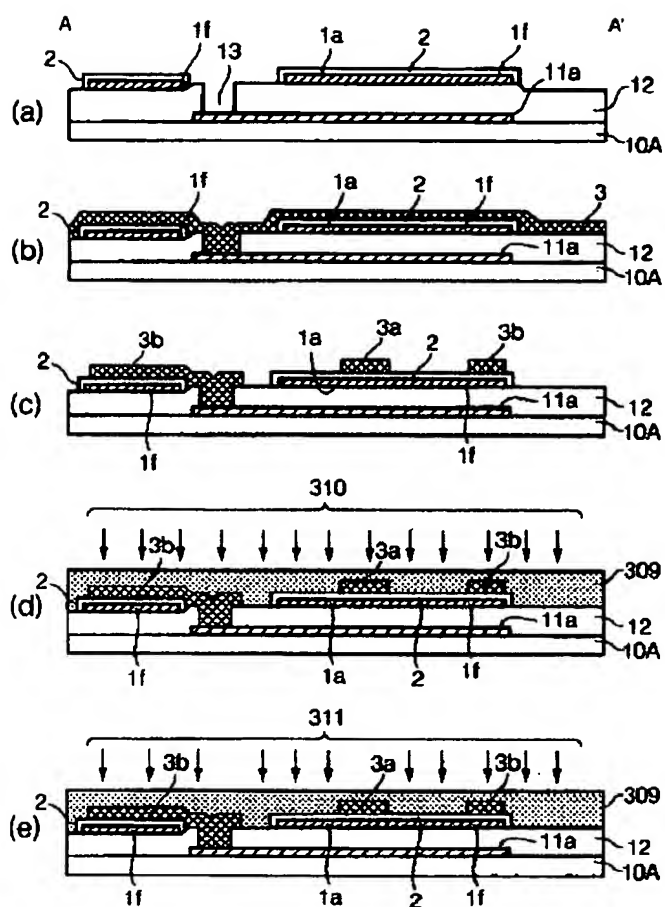


[Drawing 14]

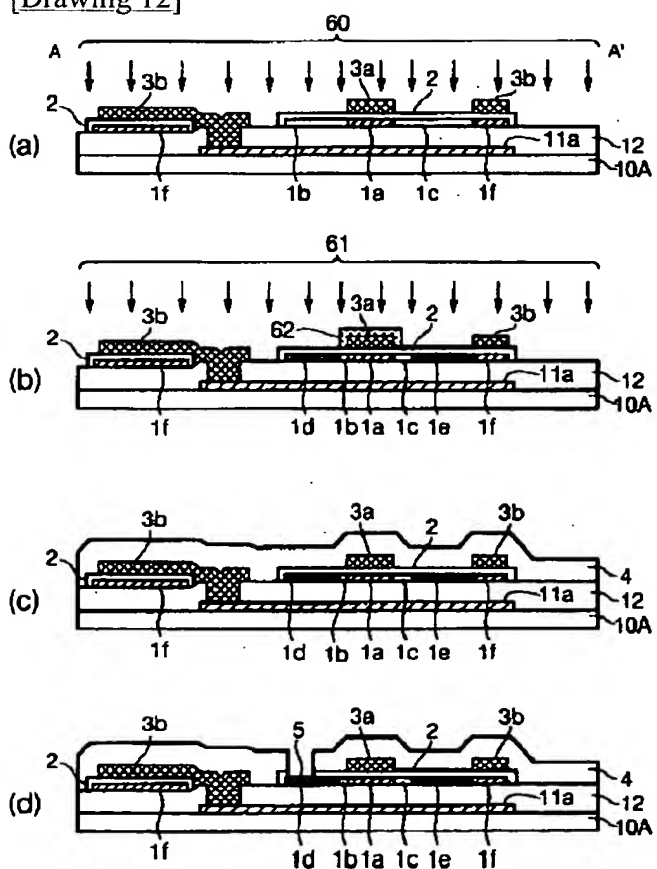


[Drawing 11]

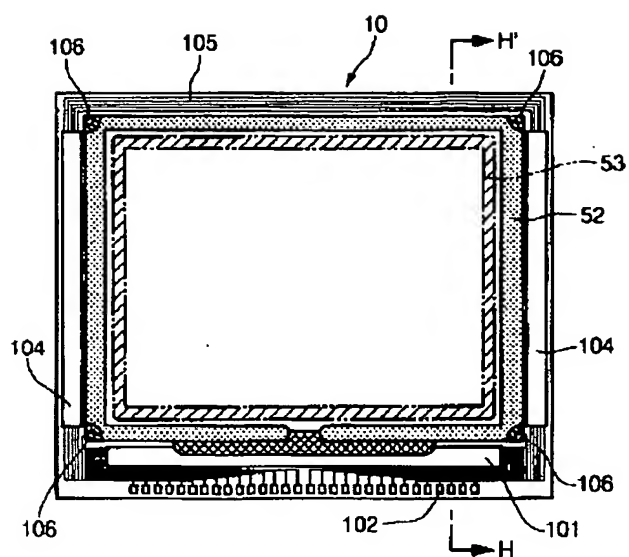




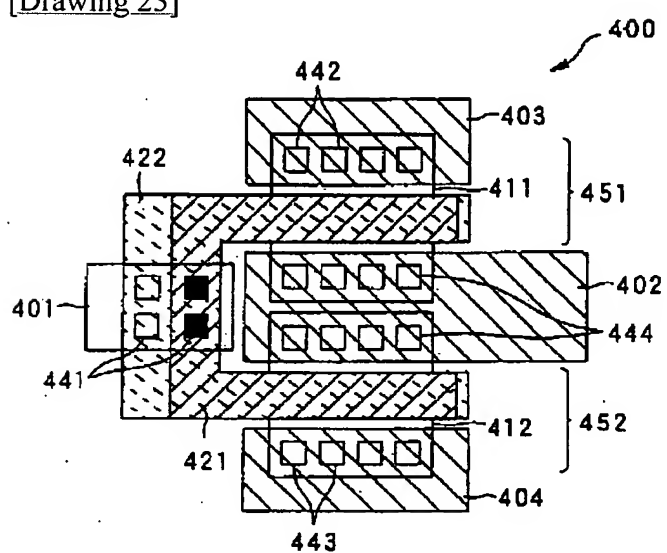
[Drawing 12]



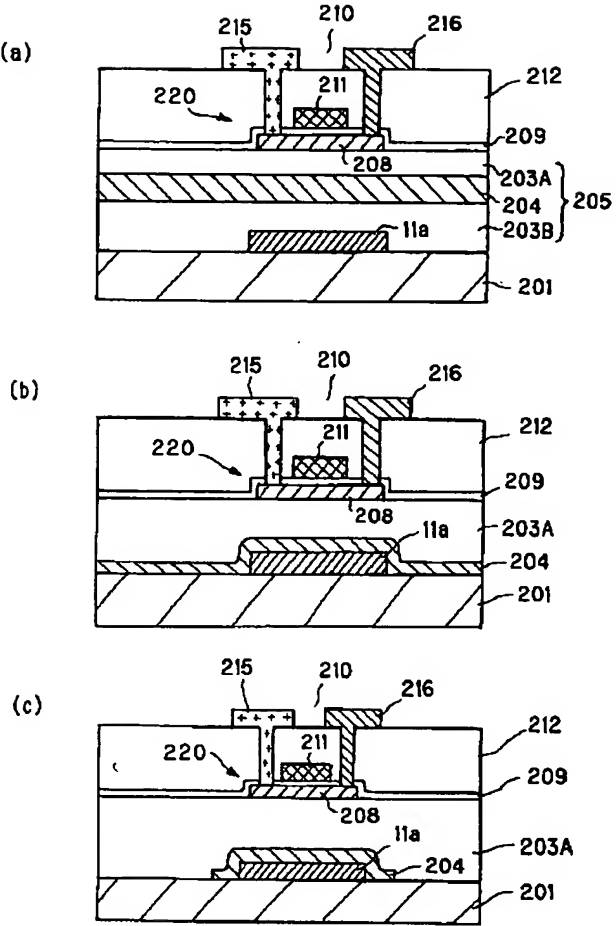
[Drawing 15]



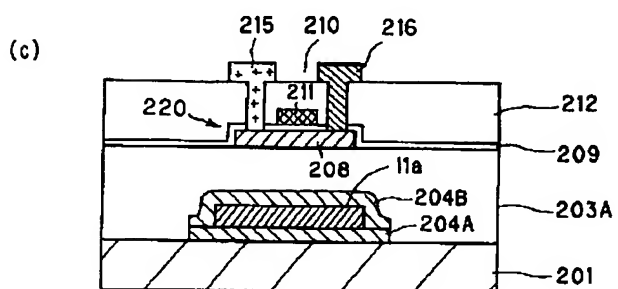
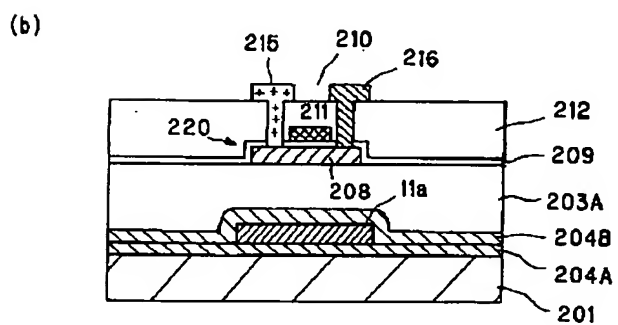
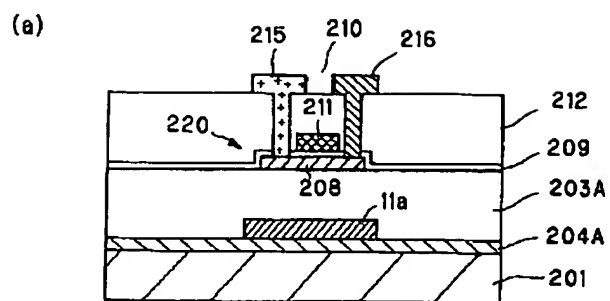
[Drawing 23]



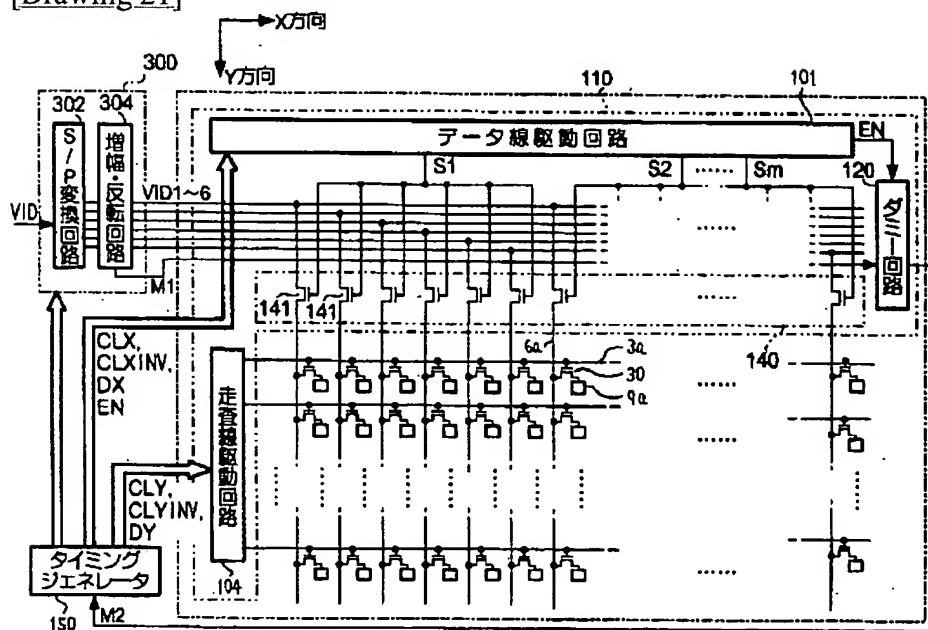
[Drawing 17]



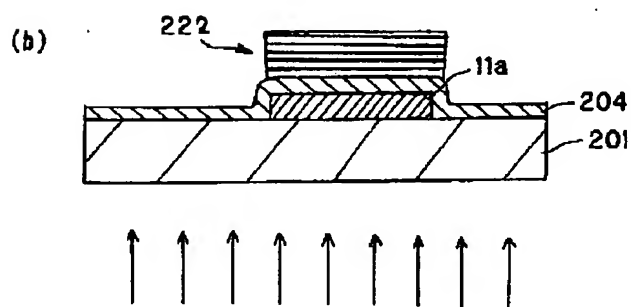
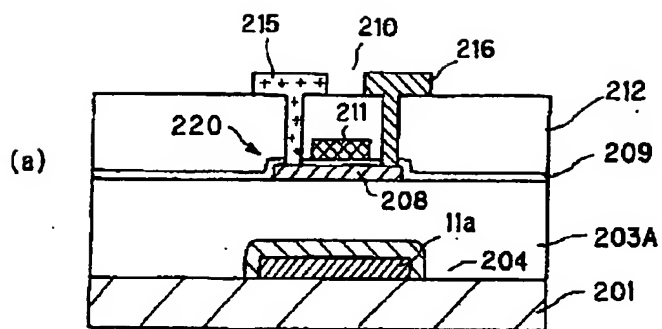
[Drawing 18]



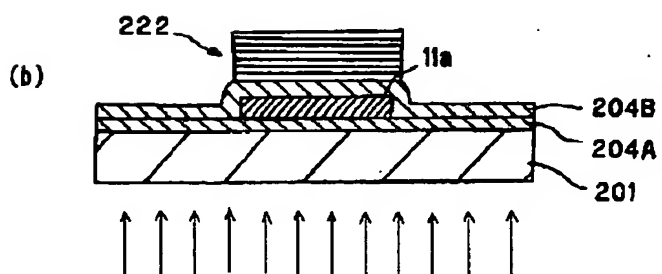
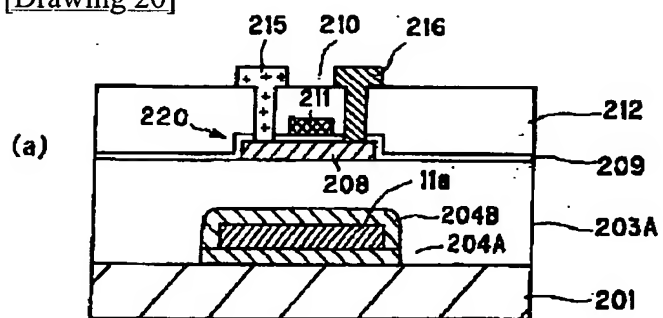
[Drawing 21]



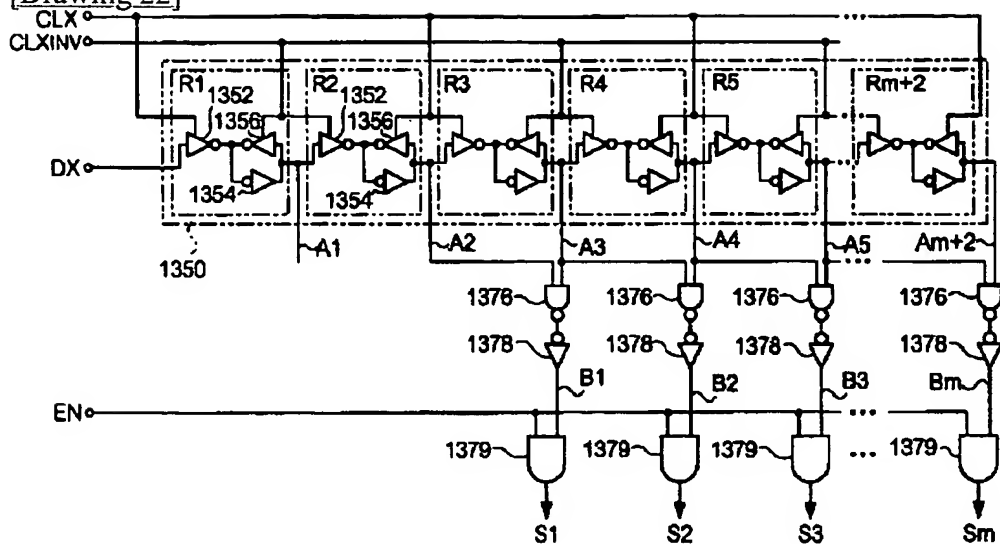
[Drawing 19]



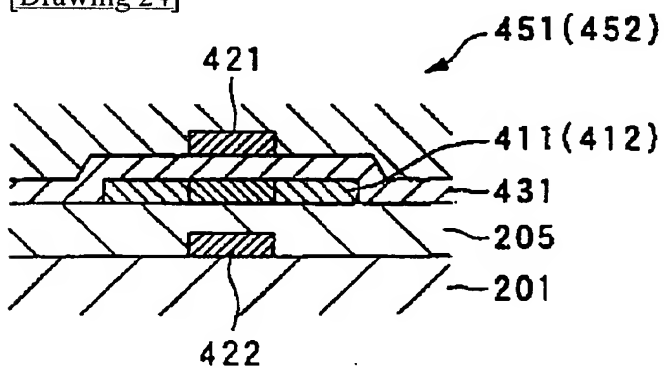
[Drawing 20]



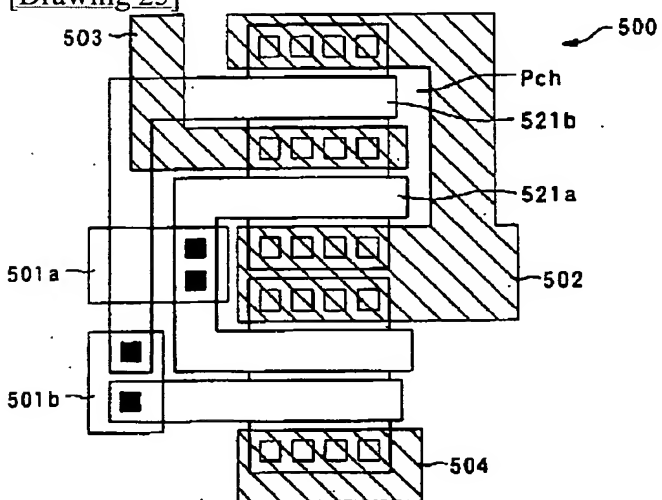
[Drawing 22]



[Drawing 24]

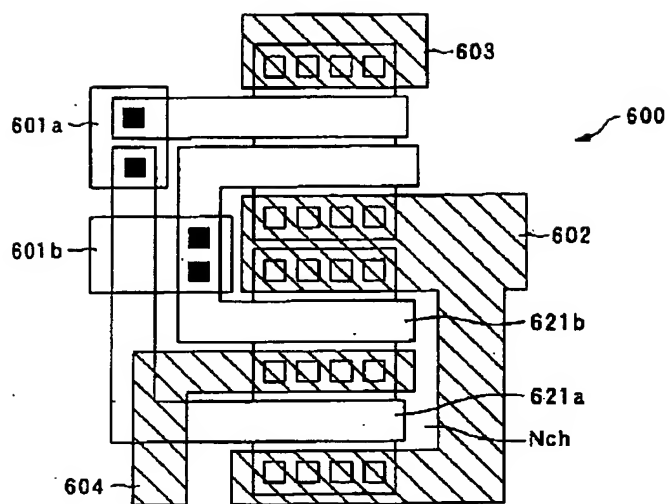


[Drawing 25]

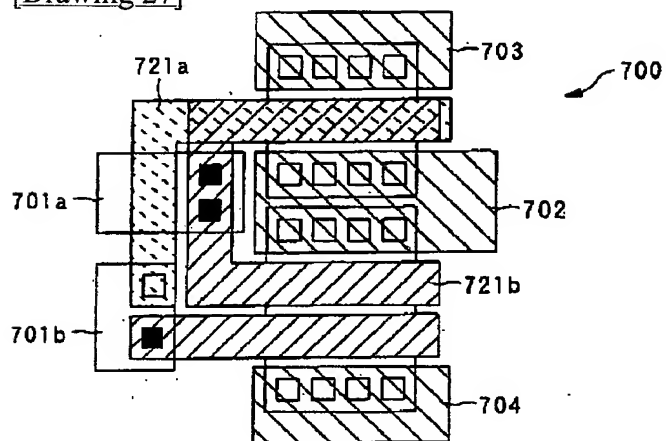


[Drawing 26]

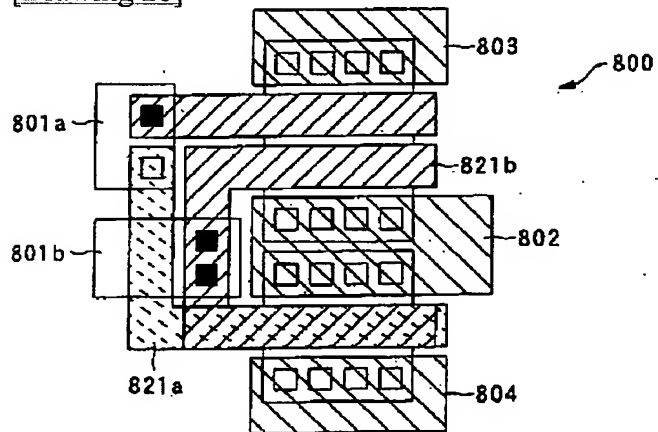




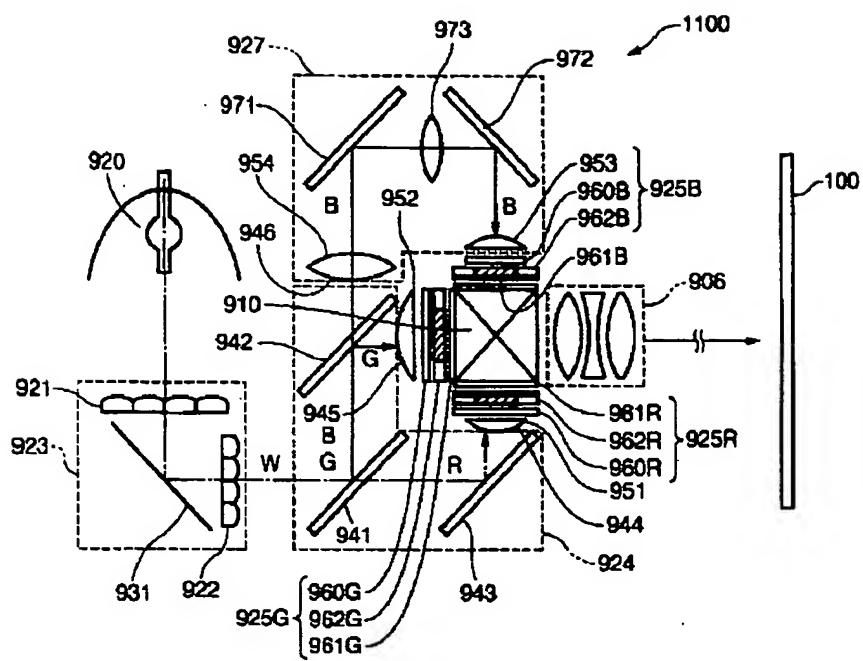
[Drawing 27]



[Drawing 28]



[Drawing 29]



[Translation done.]